

4 x 190W, 2 x 380W 或 2.1 模式 (2x190W + 1x380W) @1% THD 数字输入 D 类音频播放器

1. 描述

CLD6255 是一种超大功率、高度集成、高性能，的数字输入 D 类音频放大器，能够在保持 D 类效率的同时提供真正的高端音质。内置高精度的 DAC 将数字信号转换成模拟信号放大，其数字音频接口能够自动识别不同的 I2S 和 TDM 时钟频率，从而免除了 I2C 编程的需要。

这种大功率单芯片解决方案可减少整体系统解决方案的尺寸和成本。数字音频接口具有高度的灵活性。

CLD6255 支持 I2S、左对齐、右对齐以及 TDM 数据格式。该芯片消除了通常用于数字信号通信的外部 MCLK 信号的需求。这不仅减少了电磁干扰和可能的板间耦合问题，还降低了尺寸和引脚数量。

2. 特性

- 人体模型 (HBM) 静电放电 (ESD) 分类等级 2
- 充电器件模型 (CDM) 静电放电 (ESD) 分类等级 C2A
- 音频输入
 - 采样频率: 44.1 kHz, 48 kHz, 96 kHz, 192kHz
 - 数据格式: I²S, 通道 4, 8 and 16
- 音频输出
 - 四通道桥接负载 (BTL)
 - 432kHz 开关频率
- 10%总谐波失真加噪声 (THD+N) 输出功率
 - 4 x 148 W (25 V, 2 Ω, BTL)
 - 4 x 170 W (35 V, 4 Ω, BTL)
 - 4 x 240 W (42 V, 4 Ω, BTL)
 - 2 x 336 W (35 V, 2 Ω, PBTL)
 - 2 x 475 W (42 V, 2 Ω, PBTL)
- 1%总谐波失真加噪声输出功率
 - 4 x 119 W (25 V, 2 Ω, BTL)
 - 4 x 138 W (35 V, 4 Ω, BTL)
 - 4 x 197 W (42 V, 4 Ω, BTL)
 - 2 x 269 W (35 V, 2 Ω, PBTL)
 - 2 x 390 W (42 V, 2 Ω, PBTL)
- 4 Ω、42V 条件下的音频性能
 - 效率 >90%

- 1W 输出功率时, THD+N 小于 0.03%
- 输出噪音为 60μVRMS
- 高级负载诊断
 - 负载开路和短路检测
 - 输出端对电池或地短路检测
 - 主机独立操作
- 保护
 - 输出短路保护
 - 输出直流偏置
 - 过热
 - 欠压和过压
- 通用运行
 - 供电电压范围为 4.5V 至 42V
 - 8 种 I2C 地址选择
 - 高保真 40KHz 频响
 - 可选择过温警告 (OTW) 锁存或非锁存模式
 - 基于总谐波失真加噪声的可调节削波检测
 - 软静音功能
 - 内置 PVDD 和 温度检测功能, 通过 I2C 实时读取
 - 基于 THD+N 的可调失真防止烧喇叭
 - 用于主动降噪 (ANC) /回声抵消 (RNC) 的低延迟路径
 - Class-H 供电电压控制
 - 均衡 (EQ) 补偿
 - 过热自动升降增益 (TGFB)

3. 应用

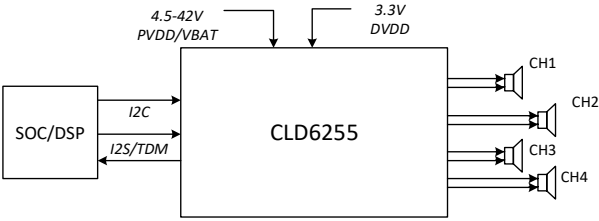
- 蓝牙和 Wi-fi 音响
- 音响条
- 重低音炮
- 监听音箱
- 舞台音箱
- 专业和公共广播音响

器件信息

器件名称	封装信息	封装尺寸
CLD6255	LQFP (64)	14.0 mm × 14.00 mm

- (1) 关于所有可用封装的信息, 请参阅数据手册末尾的可订购补充说明。

简化图



CONFIDENTIAL@XLINKSEMI

目录

1. 描述 1

2. 特性 1

3. 应用 1

4. 引脚配置和功能..... 4

5. 绝对最大额定值..... 6

6. 推荐运行条件 6

7. 静电等级 6

8. 热信息..... 7

9. 电气特性 8

10. 主要电气参数的典型曲线..... 11

11. 详细描述..... 19

12. 寄存器列表 33

13. 典型应用..... 50

14. 版图..... 53

15. 封装信息..... 55

16. 焊接信息..... 59

17. 修订历史..... 60



CLD6255

I2C_ADDR	11	I ² C 地址引脚
SDA	12	I ² C 数据输入和输出
SCLK	13	I ² C 时钟输入
VREG_BYP	14	5 伏内部模拟电源
VREG_RET	15	5 伏内部模拟地
AVDD_BYP	16	5 伏模拟电源
GVDD_BYP	19	5 伏栅极驱动电压
VBAT	21	电源电压输入
PVDD_SNS	22	PVDD 输入用于敏感内部电路，保持与 PVDD 相同的电压等级
PVDD	23, 24, 32, 33, 40, 41, 48, 49, 57	PVDD 电压输入（可以连接到电池）
OUT_1M	25	通道负输出
BST_1M	26	用于高侧栅极驱动器的自举电容连接引脚
BST_1P	30	用于高侧栅极驱动器的自举电容连接引脚
OUT_1P	31	通道正输出
OUT_2M	34	通道负输出
BST_2M	35	用于高侧栅极驱动器的自举电容连接引脚
BST_2P	38	用于高侧栅极驱动器的自举电容连接引脚
OUT_2P	39	通道正输出
OUT_3M	42	通道负输出
BST_3M	43	用于高侧栅极驱动器的自举电容连接引脚
BST_3P	46	用于高侧栅极驱动器的自举电容连接引脚
OUT_3P	47	通道正输出
OUT_4M	50	通道负输出
BST_4M	51	用于高侧栅极驱动器的自举电容连接引脚
BST_4P	55	用于高侧栅极驱动器的自举电容连接引脚
OUT_4P	56	通道正输出
NC	58	未连接或接地
/PD	59	关闭设备以实现最小功耗（低电平有效）
/STBY	60	使能高阻态（低电平有效）
/FAULT	61	报告故障（低电平有效，开漏输出）
GPIO_3	62	通用输入输出（General purpose IO），其功能通过寄存器编程设置。
PLL_BYP	63	内部 PLL 电源
PLL_RET	64	内部 PLL 地
Thermal Pad	--	提供电气和热连接用于该芯片。散热片必须连接到地

5. 绝对最大额定值

除另有说明外，则适用于整个自由空气操作温度范围，参见 ⁽¹⁾

		最小值	最大值	单位
PVDD, VBAT	相对于地（GND）的直流供电电压	-0.3	50	V
VBAT _{RAMP}	供电电压上升速率 - VBAT		15	V/ms
PVDD _{RAMP}	供电电压上升速率 - PVDD		40	V/ms
DVDD	相对于地（GND）的直流供电电压	0.3	3.9	V
I _{MAX}	每个引脚的最大电流 - PVDD、VBAT、GND、OUT _{xP} 、OUT _{xM}		±12	A
I _{MAX_PULSED}	PVDD 引脚的脉冲供电电流（单次）	t < 100 ms	±18	A
V _{LOGIC}	逻辑引脚的输入电压 - SCL、SDA、FAULT、STANDBY、GPIOx	-0.3	DVDD _{IO} +0.5	V
V _{GND}	GND 引脚之间的最大电压		±0.3	V
T _J	最大工作结温	-55	175	°C
T _{stg}	存储温度范围	-55	150	°C

(1) 超出绝对最大额定值可能会导致器件永久性损坏。绝对最大额定值仅强调器件可以承受的极限值，并不意味着器件在这些或任何其他超出推荐操作条件的条件下能够正常工作。如果在推荐操作条件之外且绝对最大额定值内使用，器件可能无法完全正常工作，这可能会影响器件的可靠性、功能、性能，并缩短器件的使用寿命。

6. 推荐运行条件

			最小值	一般值	最大值	单位
PVDD	输出 FET 供电电压	相对于地	4.5		42	V
VBAT	电池供电电压输入	相对于地	4.5	14.4	42	V
DVDD	直流逻辑供电	相对于地	1.62		3.6	V
T _A	环境温度		-40		85	°C
T _J	结温	需要一个充分的热设计	-40		150	°C
R _{PU_I2C}	I2C 总线上的 SDA 和 SCL 引脚的上拉电阻		1	4.7	10	kΩ
C _{Bypass}	旁路引脚上的外部电容	引脚 3, 14, 16, 63		1		μF
C _{GVDD}	GVDD 引脚上的外部电容	引脚 19		2.2		μF
C _{OUT}	OUT 引脚到地的外部电容	由直流诊断定时设置的限制			3.3	μF
L _O	输出滤波电感	在 ISD 电流水平下的最小输出滤波电感，适用于接地短路或电源短路保护，开关频率（FSW）小于 700 千赫兹	4.5			μH

7. 静电等级

			值	单位
V _(ESD)	静电放电	人体模型(HBM), 根据 AEC Q100-002 ⁽¹⁾	±3000	V
		人体模型静电放电等级 3A		
		带点器件模式, 根据 AEC Q100-011	±1000	

(1) AEC Q100-002 指出，人体模型（HBM）应力测试应符合 ANSI/ESDA/JEDEC JS-001 规范。

8. 热信息

热性能指标		CLD6255 ⁽¹⁾	单位
		PHD (QFP)	
		64 引脚	
$R_{\theta JA}$	结到环境的热阻	TBD	°C/W
$R_{\theta JC(top)}$	结到外壳（顶部）的热阻	TBD	°C/W
$R_{\theta JB}$	结到板的热阻	TBD	°C/W
Ψ_{JT}	结到顶部的热阻	TBD	°C/W
Ψ_{JB}	结到板的特性参数	TBD	°C/W
$R_{\theta JC(bot)}$	结到外壳（地步）的热阻	-	°C/W

(1) JEDEC 标准 4 层 PCB

CONFIDENTIAL@XLINKSEMI

9. 电气特性

测试条件（除非另有说明）：环境温度（TC）= 25°C，PVDD = 14.4 V，VBAT = 14.4 V，DVDD = 3.3 V，负载电阻（RL）= 4 Ω，每通道输出功率（Pout）= 1 W，输出频率（fout）= 1 kHz，开关频率（Fsw）= 432 kHz，动态调制模式（DM Mode），桥接负载（BTL），AES17 滤波器，VAMV1009AA-100MM2，10 μH 电感 + 1 μF 电容，默认 I2C 设置 + 启动脚本，参见应用电路图。

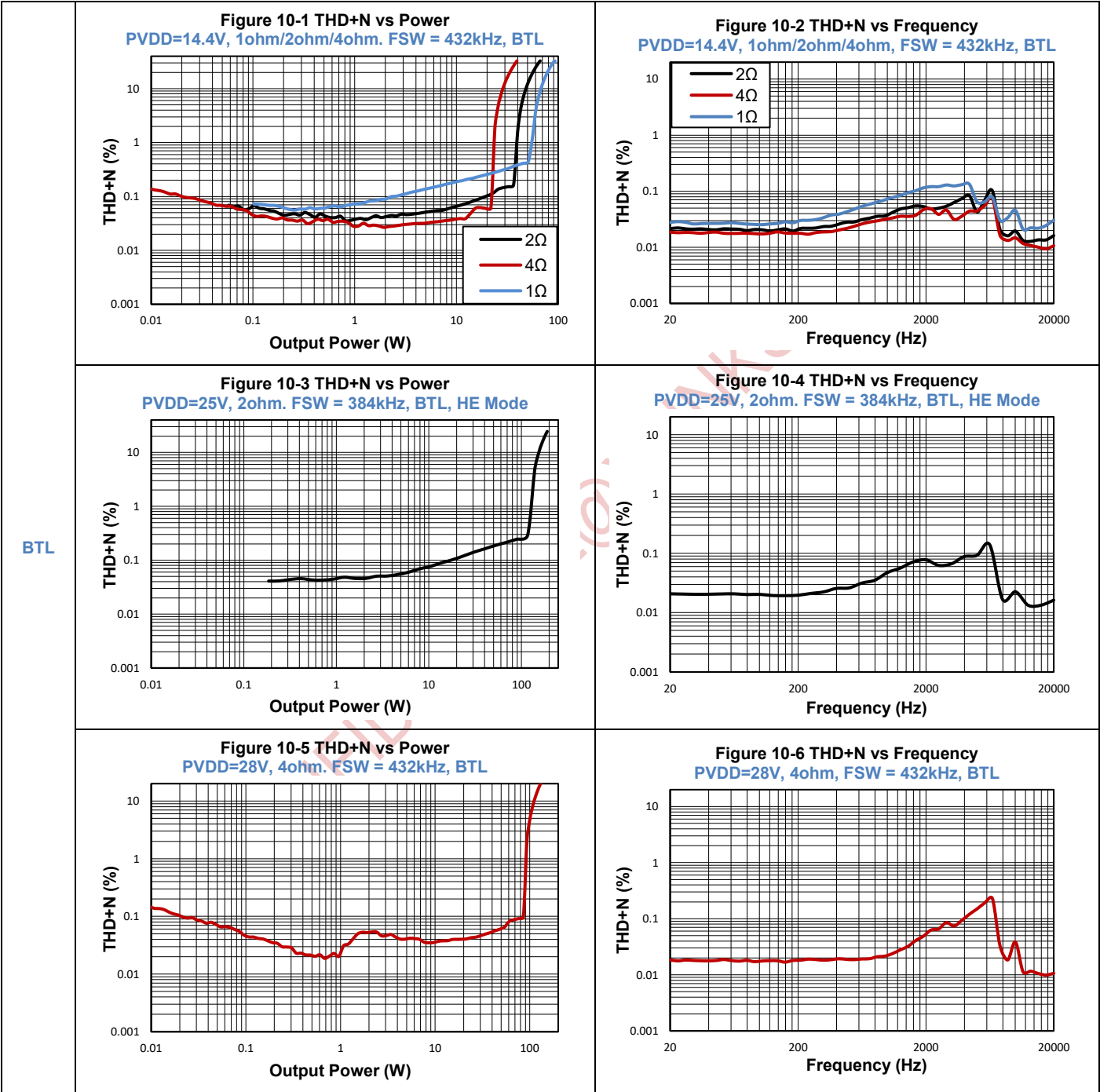
参数		测试条件	最小值	典型值	最大值	单位
运行电流						
IDVDD	DVDD 供电电流	所有通道运行, 信号-60dBFS		8.5		mA
IPVDD_IDLE	PVDD 空闲电流	所有通道运行, 无音频输出		30		mA
IVBAT_IDLE	VBAT 空闲电流	所有通道运行, 无音频输出		55		mA
IPVDD+VBAT_IDLE	PVDD+VBAT 空闲电流	所有通道运行, 无音频输出, FSW = 432 kHz		85		mA
IPVDD_Shutdown	PVDD 关断电流	/PD 激活, DVDD = 0 V		1		μA
IVBAT_Shutdown	VBAT 关断电流	/PD 激活, DVDD = 0 V		3		
ITotal_Shutdown	PVDD+VBAT 关断电流	/PD 激活, DVDD = 0 V		4		μA
PO_BTL	按通道进行峰值功率测试, 桥接负载模式	PVDD = 42 V, 4 Ω		400		VA
PO_BTL	按通道进行峰值功率测试, 桥接负载模式	PVDD = 14.4 V, 4 Ω, THD = 1%		23		W
		PVDD = 14.4 V, 4 Ω, THD = 10%		28.5		
		PVDD = 28 V, 4 Ω, THD = 1%		86		
		PVDD = 28 V, 4 Ω, THD = 10%		108		
		PVDD = 35V, 4 Ω, THD = 1%		136		
		PVDD = 35V, 4 Ω, THD = 10%		170		
		PVDD = 42 V, 4 Ω, THD = 1%		196		
		PVDD = 42 V, 4 Ω, THD = 10%		240		
PO_PBTl	并联模式下每个通道的输出功率, 桥接负载	PVDD = 42 V, 8 Ω, THD = 1%		105		W
		PVDD = 42 V, 8 Ω, THD = 10%		132		
		PVDD = 35 V, 2 Ω, THD = 1%		270		
		PVDD = 35 V, 2 Ω, THD = 10%		336		
		PVDD = 42 V, 2 Ω, THD = 1%		388		W
		PVDD = 42 V, 2 Ω, THD = 10%		475		
EFFP	电压效率	4 通道运行、每通道 25W 输出功率、4Ω 负载、PVDD = 14.4V、TC= 25°C 条件下的输出功率测试信息（包括输出滤波器损耗）		93		%
脉冲宽度调制输出级						
RD(son)	FET 漏极-源极电阻	25°C, 不包括键合线和封装电阻		55		mΩ
音频表现						
Vn	输出噪音电压 ⁽¹⁾	PVDD = 42V, 零输入, A 计权, 增益设置为达到满幅		64		μV
G	增益	在满量程数字输入时的峰值输出电压。寄存器 0x04A-4D 设置为“0x00”。		49.3		V/FS
GVAR	单通道增益变化			0.5		dB
GCH	通道之间增益变化			0.2		dB
FBW	频率响应	20Hz 至 40kHz, 带集成补偿	-1		1	dB
Crosstalk	通道串扰			-85		dB
PSRR	电源抑制比	PVDD = 14.4Vdc + 1 VRMS, f = 1 kHz		75		dB
数字输入引脚						

V _{IH}	输入逻辑电平高		70			%DVDD
V _{IL}	输入逻辑电平低				30	
I _{IH}	输入逻辑电流	V _I = DVDD _{IO}			15	μA
I _{IL}		V _I = 0			-15	
V _{OH}	逻辑电平低高的输出电压	I = ±1 mA	90			%DVDD
V _{OL}	逻辑电平低时的输出电压				10	
V _{OH}	逻辑电平低高的输出电压	DVDD = 3.3 V, I = ±2 mA	90			%DVDD
V _{OL}	逻辑电平低时的输出电压	DVDD = 3.3 V, I = ±2 mA			10	%DVDD
旁路电压						
V _{GVDD}	栅极驱动旁路引脚电压			5		V
V _{AVDD_BYP} , V _{VREG_BYP}	模拟旁路引脚电压			5		
V _{DVDD_BYP} , V _{PLL_BYP}	数字旁路引脚电压			1.8		V
过压保护						
PVDD _{OV_SET}	PVDD 过压关断设定			45.6		V
PVDD _{OV_HYS}	PVDD 过压恢复迟滞			0.5		V
VBAT _{OV_SET}	VBAT 过压关断设定			46.9		V
VBAT _{OV_HYS}	VBAT 过压恢复迟滞			0.4		V
欠压保护						
PVDD _{UV_SET}	PVDD 欠压关断设定			3.9		V
PVDD _{UV_HYS}	PVDD 欠压恢复迟滞			0.3		V
VBAT _{UV_SET}	VBAT 欠压关断设定			3.9		V
VBAT _{UV_HYS}	VBAT 欠压恢复迟滞			0.3		V
DVDD _{UV_SET}	DVDD 欠压关断设定			1.36		V
上电复位 (POR)						
V _{POR_SET}	DVDD 上电复位设定	增加 DVDD		1.4		V
V _{POR_HYS}	DVDD 上电复位恢复迟滞			0.2		V
V _{POR_OFF}	DVDD 断电阈值	减少 DVDD		1.2		V
过温保护						
OTSD(i)	按通道过温关断			170		°C
OTW	全局结温过热警告			150		
OTSD	全局结温过热关断			170		
OT _{HYS}	过温恢复迟滞			15		
负载过流保护						
I _{SD}	过流关断	OC 级别 1, 任何过载或对电源、地或其他通道的短路		4.5		A
		OC 级别 2, 任何过载或对电源、地或其他通道的短路		8.4		
		OC 级别 3, 任何过载或对电源、地或其他通道的短路		10.7		
		OC 级别 4, 任何过载或对电源、地或其他通道的短路		12.2		
咔哒声和爆音						

V_{CP}	输出咔哒声和爆音电压	ITU-R 2kHz 滤波器, 高阻态至播放, 播放至高阻态		8		mV
V_{CP}	输出咔哒声和爆音电压	ITU-R 2kHz 滤波器, 高阻态至播放, 播放至高阻态, PVDD=42V		15		mV
直流偏移						
V_{OFFSET}	输出失调电压	TC = 50°C, PVDD = 35V (自动静音禁用)		3		mV
负载诊断						
$S2P_{DC_DIAG}$	检测 OUT 引脚到 PVDD 短路的最大电阻			6200		Ω
$S2G_{DC_DIAG}$	检测 OUT 引脚到地短路的最大电阻			245		Ω
SL_{DC_DIAG}	短路负载检测容差	其他通道处于高阻态		0.8		Ω
OL_{DC_DIAG}	检测为开路的最小阻抗	其他通道处于高阻态		40		Ω
T_{DC_DIAG}	直流诊断时间	4 通道, 无报错		200		ms
AC_{IMP}	交流阻抗精度	$f = 18.75$ kHz, $R_L = 4 \Omega$, 输出引脚的阻抗		± 0.8		Ω
T_{AC_DIAG}	交流诊断时间	4 通道, $f = 18.75$ kHz		230		ms
f_{AC}	交流诊断测试频率	默认		18.75		kHz
I ² C 地址引脚						
t_{I2C_ADDR}	I2C 地址设置所需的时间延迟		2			ms
$T_{AudioLA}$	以 FSYNC 采样计数测量的从输入到输出的音频路径延迟	FSYNC = 44.1 kHz or 48 kHz		24		samples
		FSYNC = 96 kHz		9		
		FSYNC = 192 kHz		7		
T_{LLPLA}	低延迟路径的延迟, 以 FSYNC 采样计数测量的从输入到输出	FSYNC = 44.1 kHz or 48 kHz		10		samples
		FSYNC = 96 kHz		9		

10. 主要电气参数的典型曲线

环境温度 (TC) = 25°C, PVDD = 14.4 V, VBAT = 14.4 V, DVDD = 3.3 V, 负载电阻 (RL) = 4 Ω, 每通道输出功率 (Pout) = 1 W, 输出频率 (fout) = 1 kHz, 开关频率 (Fsw) = 432 kHz, 动态调制模式 (DM Mode), 桥接负载 (BTL), AES17 滤波器, 图表是在芯聆的 CLD6255 EVM 上测量的。



BTL

Figure 10-7 THD+N vs Power
PVDD=35V, 4ohm, FSW = 432kHz, BTL

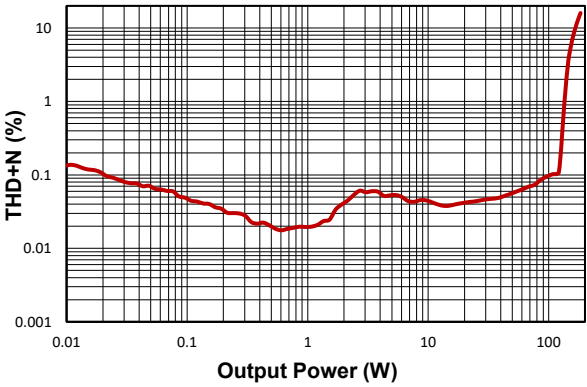


Figure 10-8 THD+N vs Frequency
PVDD=35V, 4ohm, FSW = 432kHz, BTL

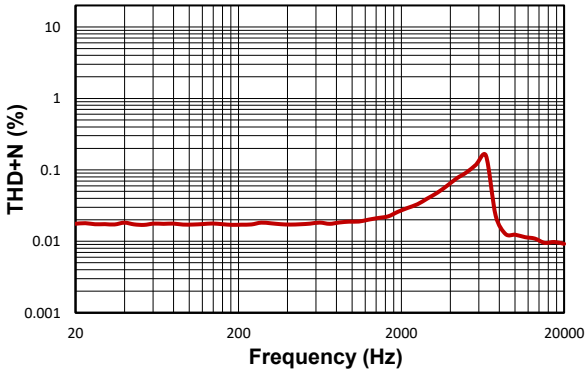


Figure 10-9 THD+N vs Power
PVDD=42V, 4ohm/8ohm, FSW = 432kHz, BTL

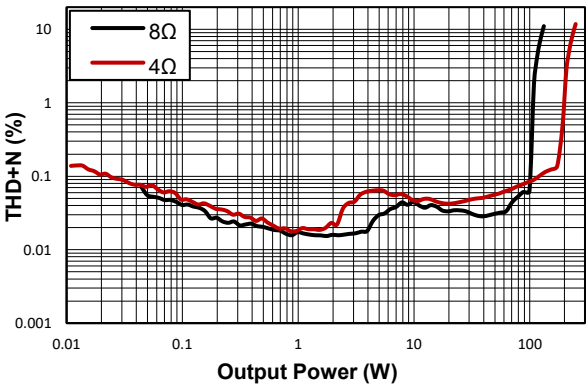


Figure 10-10 THD+N vs Frequency
PVDD=42V, 4ohm/8ohm, FSW = 432kHz, BTL

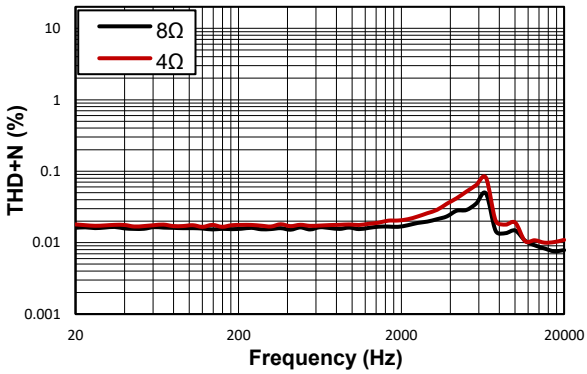


Figure 10-11 Efficiency vs Output Power
PVDD=14.4V, 4ohm/8ohm, BTL

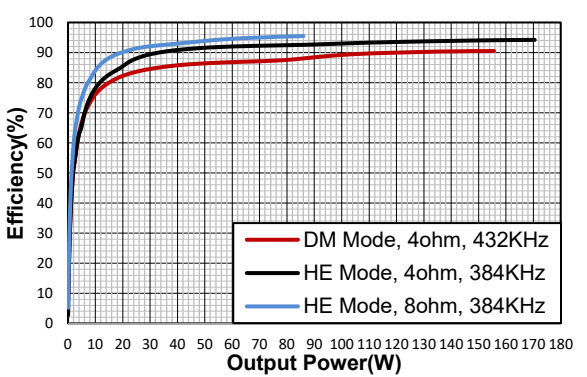
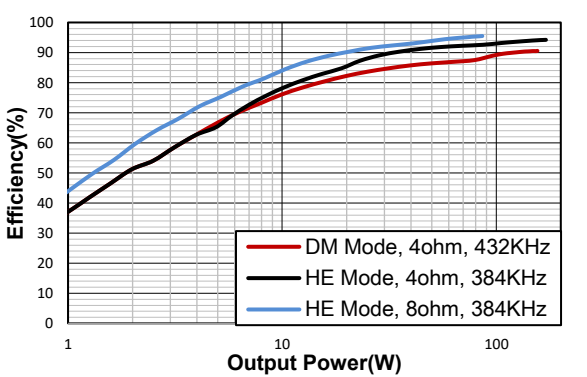
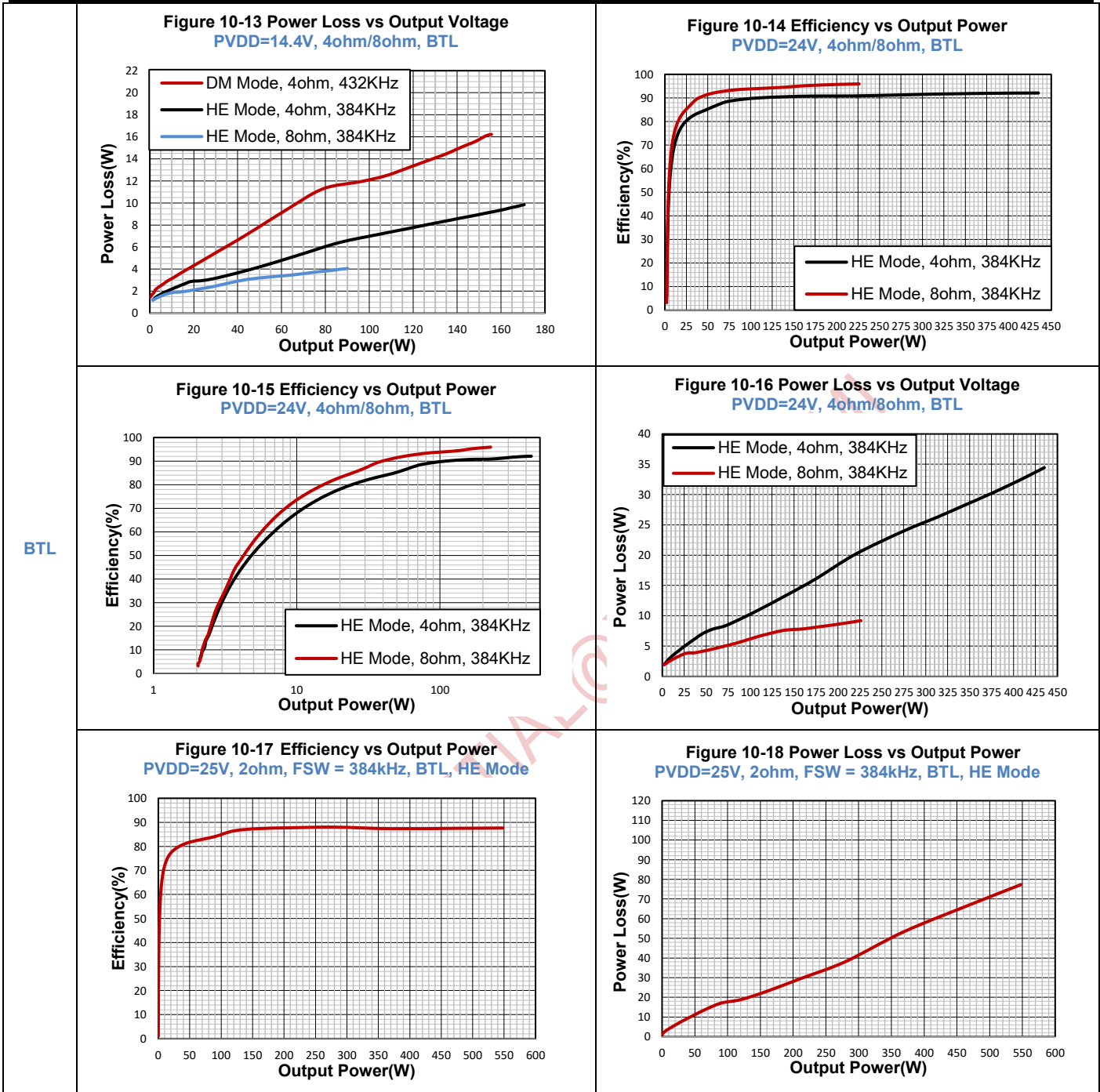


Figure 10-12 Efficiency vs Output Power
PVDD=14.4V, 4ohm/8ohm, BTL





BTL

Figure 10-19 Efficiency vs Output Power
PVDD=35V, 4ohm, FSW = 432kHz, BTL

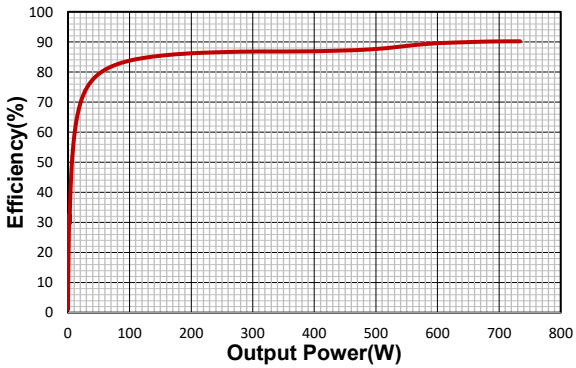


Figure 10-20 Efficiency vs Output Power
PVDD=35V, 4ohm, FSW = 432kHz, BTL

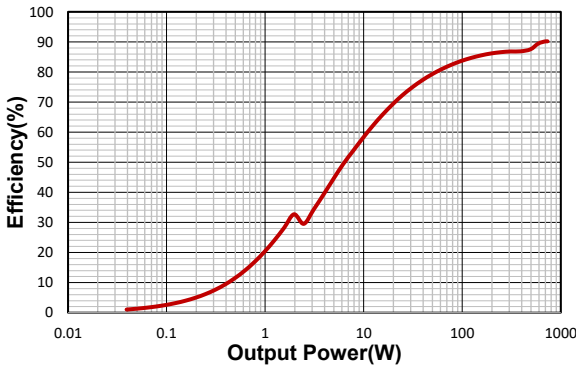


Figure 10-21 Power Loss vs Output Voltage
PVDD=35V, 4ohm, FSW = 432kHz, BTL

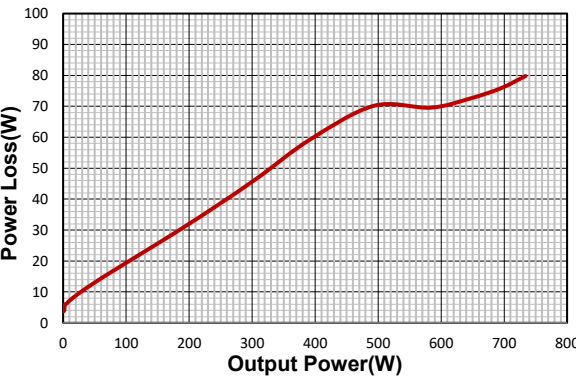


Figure 10-22 Efficiency vs Output Power
PVDD=42V, 4ohm, FSW = 432kHz, BTL

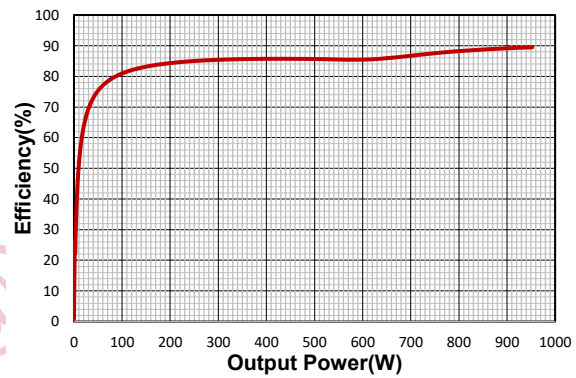


Figure 10-23 Efficiency vs Output Power
PVDD=42V, 4ohm, FSW = 432kHz, BTL

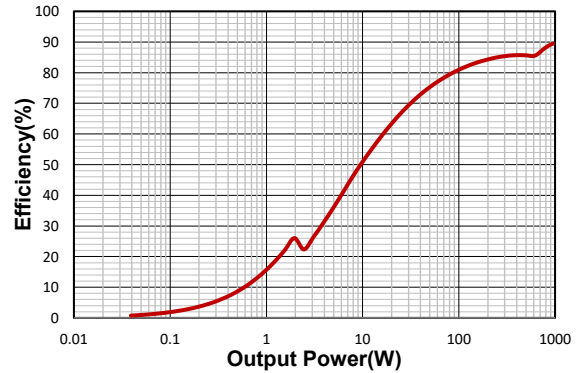
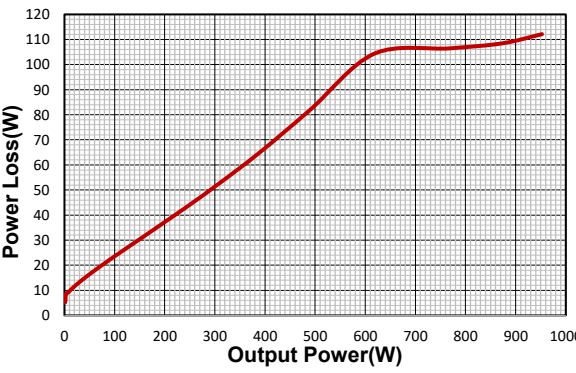
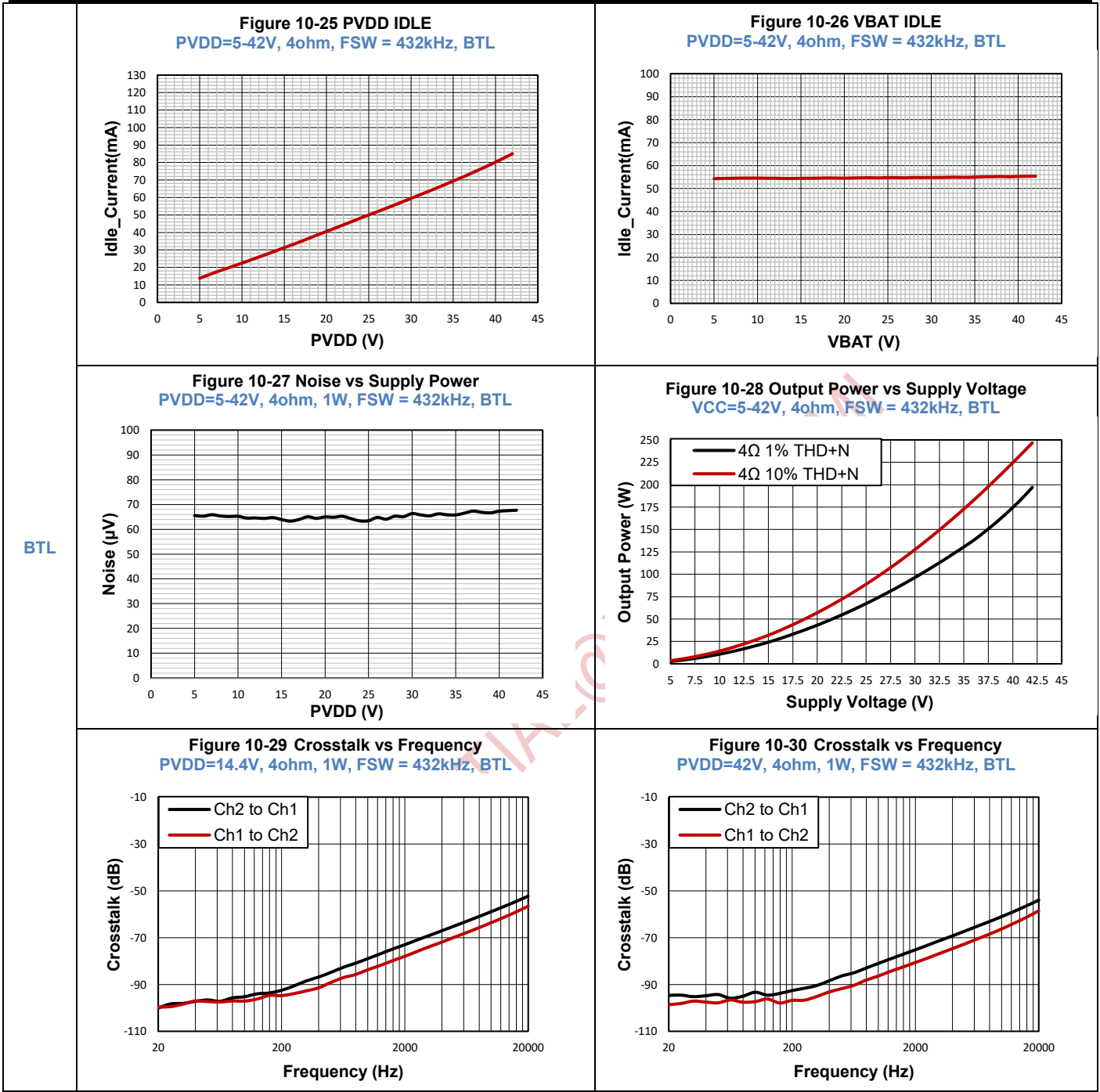
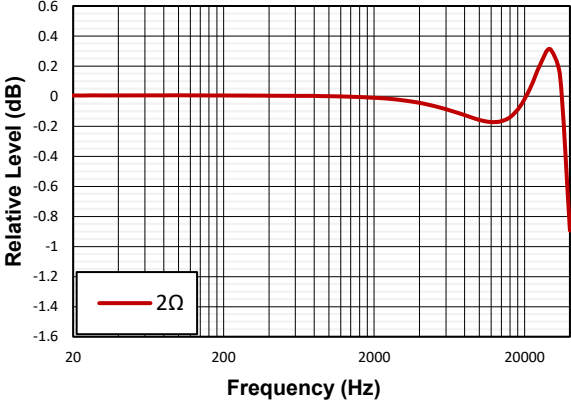
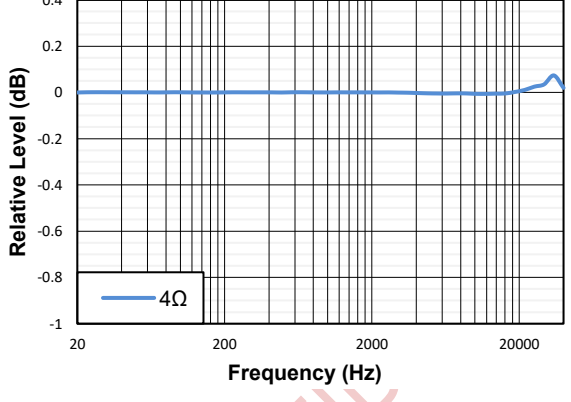
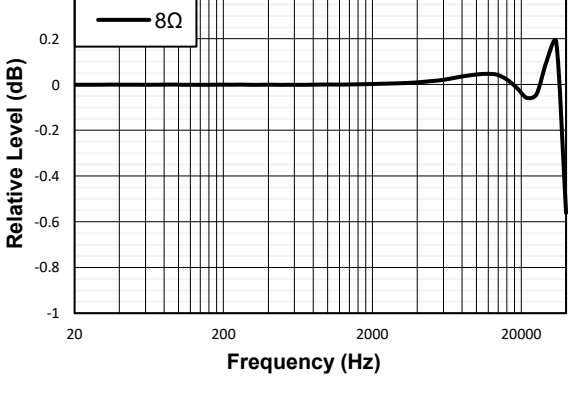


Figure 10-24 Power Loss vs Output Power
PVDD=42V, 4ohm, FSW = 432kHz, BTL





BTL	Figure 10-31 Relative Level vs Frequency PVDD=24V, 1W, FSW = 432kHz, 10μH+1μF, with EQ compensation, BTL 	2ohm EQ Setting (10μH+1μF): - X00 00 - X7F 8C - X00 04 - X77 01 - X00 05 - X08 0D - X09 7A - X0A 3A - X0B 92 - X0C F9 - X0D CE - X0E D4 - X0F 43 - X10 FD - X11 74 - X12 C7 - X13 64 - X14 06 - X15 31 - X16 2B - X17 BD - X18 FD - X19 10 - X1A FE - X1B 0A - X00 00 - X7F 00 - X00 00
	Figure 10-32 Relative Level vs Frequency PVDD=42V, 1W, FSW = 432kHz, 10μH+1μ, with EQ compensation, BTL 	4ohm EQ Setting (10μH+1μF): - X00 00 - X7F 8C - X00 04 - X77 01 - X00 05 - X08 08 - X09 9B - X0A A6 - X0B D9 - X0C F5 - X0D 44 - X0E 27 - X0F 21 - X10 05 - X11 BA - X12 E3 - X13 C3 - X14 0A - X15 BB - X16 D8 - X17 DF - X18 F9 - X19 A9 - X1A 75 - X1B 63 - X00 00 - X7F 00 - X00 00
	Figure 10-33 Relative Level vs Frequency PVDD=42V, 1W, FSW = 432kHz, 10μH+1μ, with EQ compensation, BTL 	8ohm EQ Setting (10μH+1μF): - X00 00 - X7F 8C - X00 04 - X77 01 - X00 05 - X08 07 - X09 B0 - X0A 74 - X0B D6 - X0C F4 - X0D CD - X0E 23 - X0F 8D - X10 04 - X11 E9 - X12 84 - X13 6E - X14 0B - X15 32 - X16 DC - X17 73 - X18 FB - X19 66 - X1A 06 - X1B BC - X00 00 - X7F 00 - X00 00

432k
PBTl

Figure 10-34 THD+N vs Power
PVDD=35V, 2ohm, FSW = 432kHz, PBTl

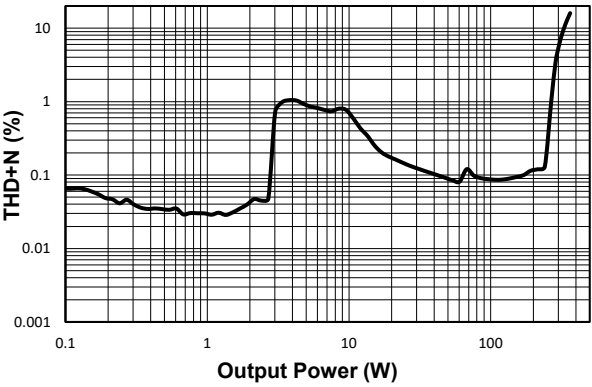


Figure 10-35 THD+N vs Frequency
PVDD=35V, 2ohm, FSW = 432kHz, PBTl

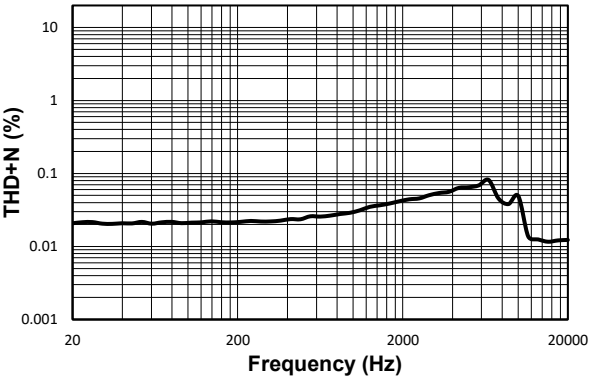


Figure 10-36 THD+N vs Power
PVDD=42V, 2ohm, FSW = 432kHz, PBTl

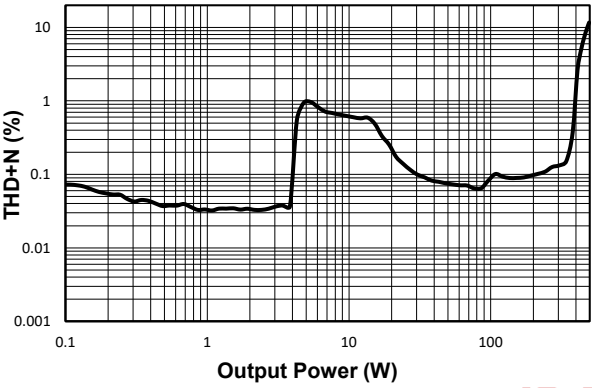


Figure 10-37 THD+N vs Frequency
PVDD=42V, 2ohm, FSW = 432kHz, PBTl

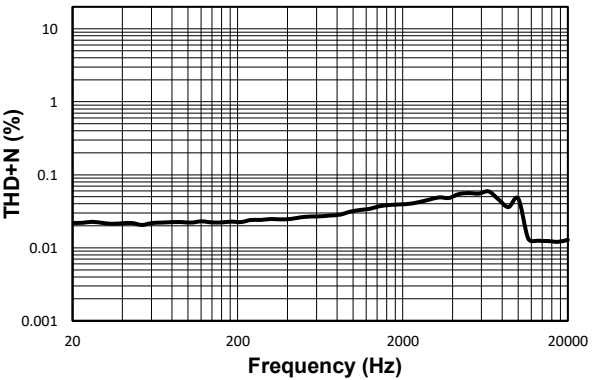


Figure 10-38 Output Power vs Supply Voltage
VCC=5-42V, 2ohm, FSW = 432kHz, PBTl

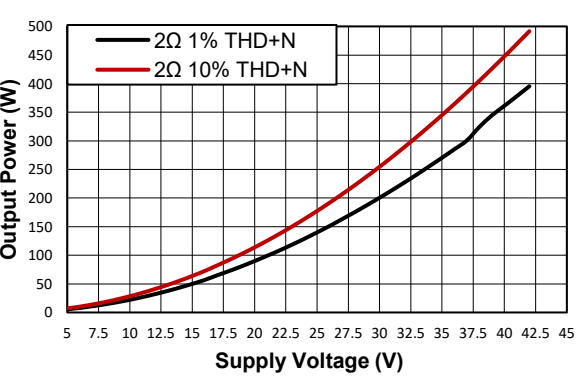
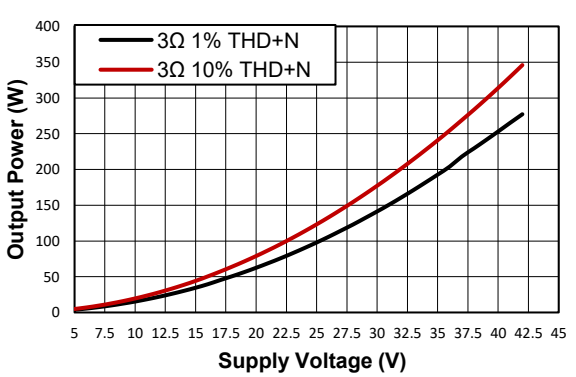
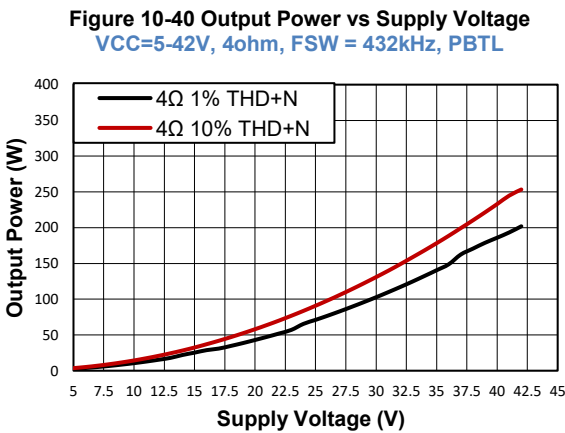


Figure 10-39 Output Power vs Supply Voltage
VCC=5-42V, 3ohm, FSW = 432kHz, PBTl



432k
PBTl



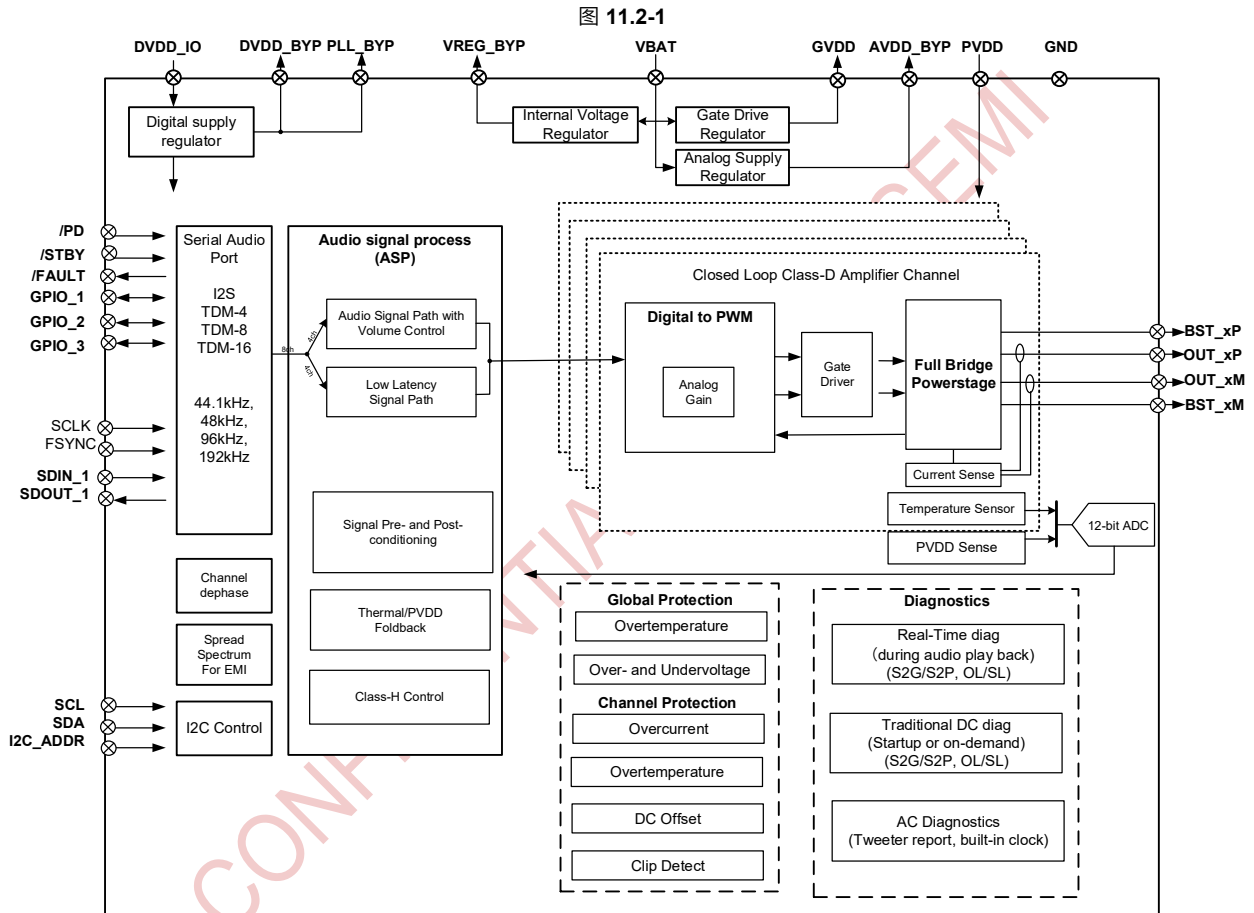
CONFIDENTIAL@XLINKSEMI

11. 详细描述

11.1. 总览

CLD6255 是一款专为汽车应用设计的四通道、数字输入 D 类音频放大器。它采用超高效 D 类技术，能够在高电压下工作，最高可达 42V，并能满足高输出电流的需求。这种放大器通过最小化功耗、减少 PCB 空间需求以及在电气系统中产生较少热量，实现了高保真音频系统，该系统紧凑、轻便且具备先进功能。

11.2. 功能模块图



11.3. 特性描述

11.3.1. 电源

该芯片拥有三个不同的电源输入端：DVDD_IO、VBAT 和 PVDD，每个端口都有其特定用途：

DVDD 数字电源 3.3V。

VBAT 栅极驱动器电源引脚建议连接到 5-18V 范围。

PVDD MOSFET 电源引脚，建议连接到高压电源，并使用粗走线以承载大电流。

CLD6255 配备了集成的片上电压调节器，能够产生其内部运行所需的电压。外部引脚配置经过优化，便于连接旁路电容，旁路电容对于滤除电源噪声至关重要。这些引脚不应用于为其指定功能之外的额外电路供电。

11.3.1.1. 电源时序

(1) BTL 模式下的上电时序

在系统启动阶段，建议保持 PD 引脚处于低电平状态，直到三个电源轨——VBAT、PVDD 和 DVDD——在电气特性（EC）表中规定的参数范围内达到稳定。这种做法确保了安全可靠的上电过程。

一旦电源轨稳定并开始工作，就可以取消 PD 引脚的低电平状态，以激活内部数字电路。建议在取消 PD 引脚的低电平状态后至少等待 4 毫秒，再取消/STBY 引脚的低电平状态。取消/STBY 引脚的低电平状态会触发内部模拟电路的启动。如果不可避免地同时取消/PD 和/STBY 引脚的低电平状态，需要注意的是，设备可能需要长达 4 毫秒的时间来完全上电模拟电路并完成其内部启动过程。

在 DVDD 先于 VBAT 上电且 PD 引脚已经取消低电平状态的情况下，设备会发出/VBAT 欠压故障信号，无论 /STBY 引脚的状态如何。要清除此故障，必须在成功完成上电时序后访问并清除 Power_Fault_Mem 寄存器（地址=0x86）。

如果在模拟电路上电后（VBAT 就绪且/STBY 引脚已取消低电平状态）发生电源故障，CLD6255 将自动从播放或其他活动状态转换到自动恢复（AUTOREC）状态。它将保持在此状态，直到电源故障解决。

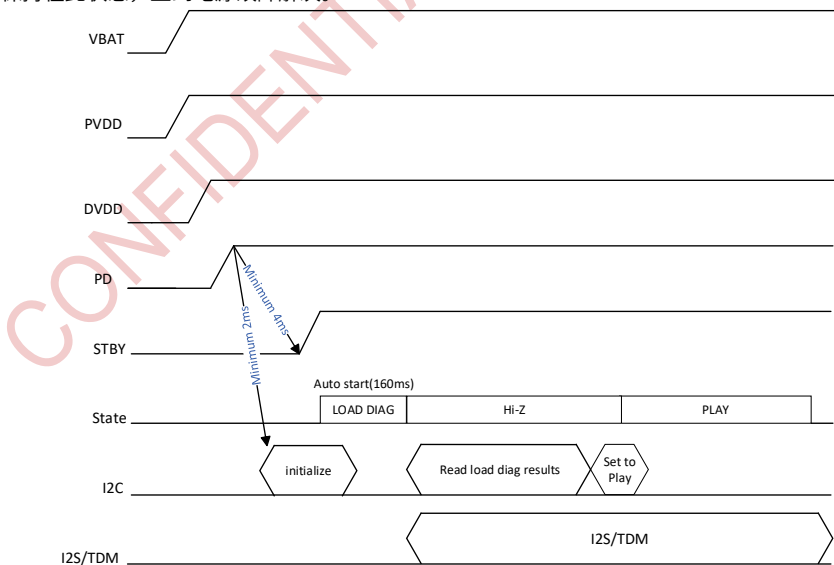


图 11.3.1.1-1 CLD6255 BTL 上电时序

(2) Power-Up sequence in PBTL mode

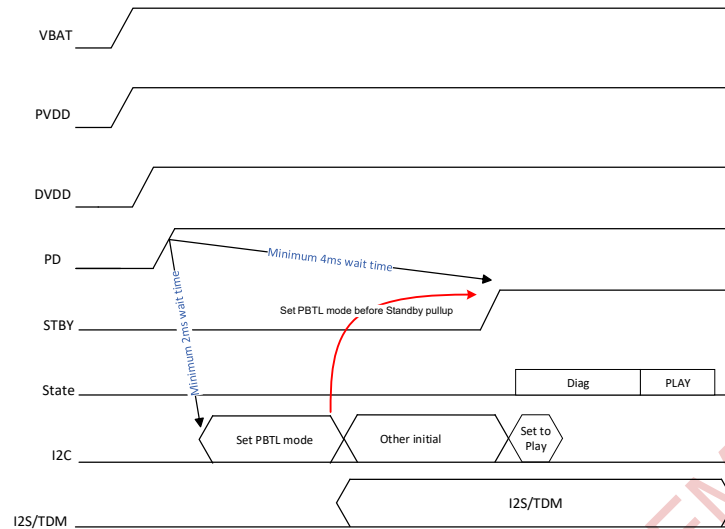


图 11.3.1.1-2 CLD6255 PBTL 上电时序

(3) 下电时序

为了确保设备有序关断，必须严格遵循精确的断电过程时序。首先，将/STBY 引脚或/PD 引脚设置为低电平，至少保持 10 毫秒。这一步骤对于准备设备安全地移除电源至关重要。

10 毫秒时间过后，可以按控制方式依次移除电源。建议先移除 PVDD 和 VBAT，然后再移除 DVDD 电源。遵循此顺序有助于保护设备的电源管理系统，防止任何潜在的损坏或运行问题。

严格遵循此序列，可以确保设备平稳、安全地过渡到断电状态，保证设备的功能得以保持，随时准备未来重新激活。

(4) 设备初始化和上电复位

设备在几种特定情况下会开始其初始化过程：在系统初次上电时、当 PD 引脚被设置为高电平时，或者当 DVDD 电压降至上电复位（POR）阈值以下并随后恢复正常时。

在初始化阶段，所有 I2C 寄存器都会恢复到出厂默认设置。I2C 设备地址由 I2C_ADDR 引脚的状态决定，具体详见“I2C 地址选择”部分。

初始化完成后，Power_Fault_Mem 寄存器的第 4 位（地址=0x86）表示设备已经历了一个 POR 周期。访问此 I2C 寄存器将清除故障指示。默认情况下，此信号未映射到任何引脚，但可以通过 FAULT_SOURCE_EN1 寄存器（地址=0x90）（第 0 位）的 FAULT 引脚或 FAULT_SOURCE_EN2 寄存器（地址=0x91）（第 0 位）的 WARN 引脚将其路由到引脚。通过向 MODE_CTRL 寄存器（地址=0x01）的 CLEAR FAULT 位写入“1”可以重置引脚的锁存信号。

11.3.2. 串行音频端口

该芯片上的串行音频接口功能多样，能够接收左对齐、I2S 或 DSP 模式格式的数据，并且在 TDM16 配置下能够处理多达 16 个通道的 TDM 数据。

SDIN1 和 SDOUT1 引脚专门用于促进数据传输。此外，如果需要额外的数据通道，任何 GPIO 引脚都可以重新配置为 SDIN2 和 SDOUT2。

11.3.2.1. I²S 模式

在这种模式下，FSYNC 时钟同步左通道和右通道的数据线传输。在四通道应用中，需要两条数据线。SCLK 在 FSYNC 的下降沿同步，因此数据在 SCLK 的上升沿有效。

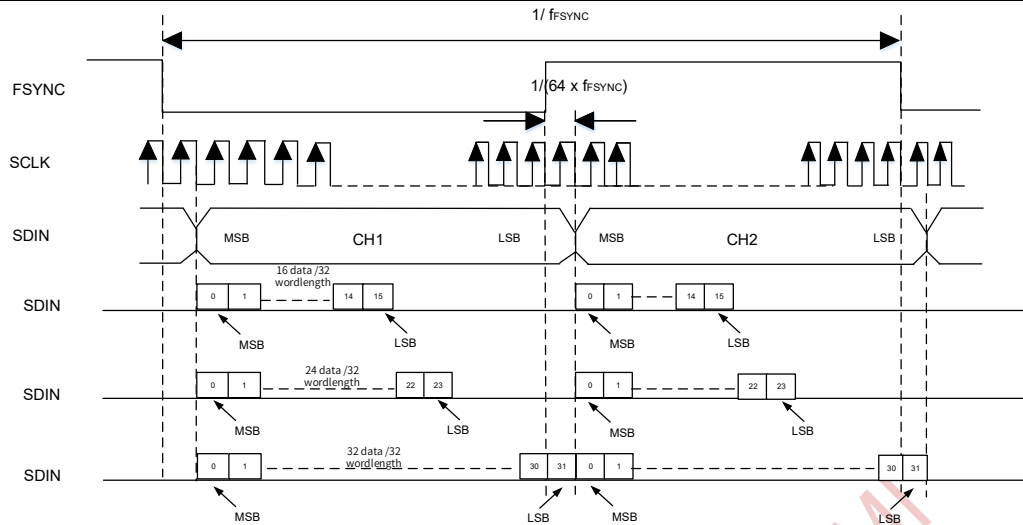


图 11.3.2.1-1 I²S 模式

11.3.2.2. TDM 模式

TDM 支持 4、8 和 16 个通道。在 TDM4 中，SCLK 是 FSYNC 的 128 倍；在 TDM8 中，SCLK 是 FSYNC 的 256 倍。在 TDM 模式下，SDIN1 用于音频数据传输。

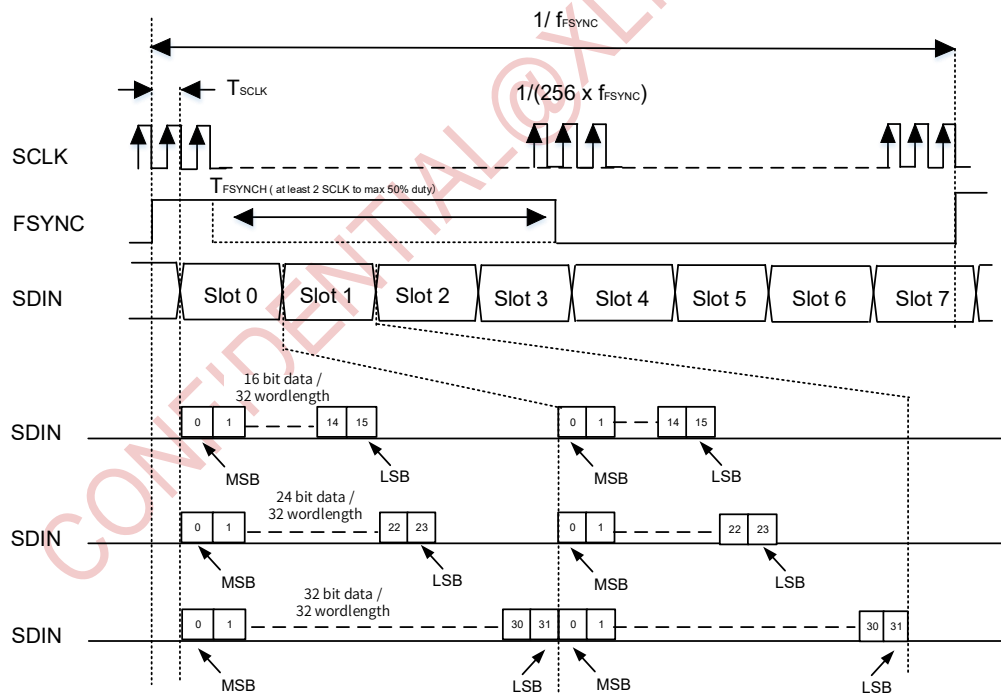


图 11.3.2.2-1 TDM8 模式

11.3.2.3. SDOUT – 数据输出

CLD6255 设计为在 I²S 和 TDM 模式下传输选定的数据，使用相同的音频输入串行时钟（SCLK）和音频帧时钟（FSYNC）来同步输出数据流。传输的数据保持与输入信号相同的采样频率和最大音频帧大小。需要注意的是，对于 SDOUT 操作，串行音频端口必须配置为 I²S 或 TDM 模式；SDOUT 不支持左对齐和 DSP 模式格式。

SDOUT 引脚可以携带多种数据组，包括：

- Isense Ch1-4：按通道反馈的电流检测。
- Vpredict Ch1-4：基于电源电压和输入信号，按通道估算的输出电压。
- Aux Ch1-4：辅助数据通道

11.3.2.3.1. SDOUT - TDM 配置

要通过 SDOUT 在 TDM 模式上传输数据，至少需要一个数据输出通道，推荐使用 SDOUT1 引脚来执行此功能。数据输出的设置由特定的寄存器位决定，这些寄存器位规定了 SDOUT 引脚的分配以及数据传输的激活。

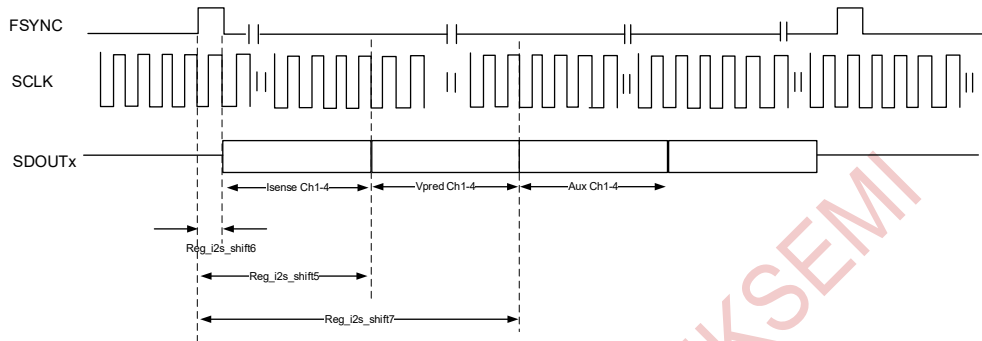


图 11.3.2.3-1 SDOUT 在 TDM 模式下的配置

11.3.2.3.2. 时钟等级

串行音频接口端口是一个由 SCLK、FSYNC 和 SDIN_1 信号组成的 3 线串行端口，在 I2S 模式下可选配 SDIN_2。

- **SCLK**：串行音频位时钟，用于将 SDIN_x 上的串行数据时钟输入到音频接口的串行移位寄存器中。CLD6255 设备使用 SCLK 时钟输入串行数据。
- **FSYNC**：当设备在 TDM 模式下运行时，该引脚作为串行音频左右字时钟或帧同步。
- **SDIN_1**：TDM 数据输入。在 I2S 模式下，SDIN_1 作为通道 1 和 2 的数据输入。要在 I2S 模式下接收通道 3 和 4 的数据，必须将一个 GPIO 引脚配置为 SDIN_2

Table 11.3.2.3.2 -1 音频数据格式、位深度和时钟速率

格式	数据位	最大 FSYNC 频率 (kHz)	SCLK 等级(f_s)
I2S / LJ	32, 24, 20, 16	44.1 to 192	x64, x32
TDM	32, 24, 20, 16	44.1 / 48	X64,x96, x128,x160,x192, x256, x320,x384,x512
	32, 24, 20, 16	96	X64,x80,x96, x128,x160,x192, x256,
	32, 24, 20, 16	192	X64,x80,x96, x128

当检测到时钟停止或不支持的 SCLK 到 FSYNC 比例时，设备会在时钟故障存储器寄存器（地址=0x8A）的第 0 位报告一个锁存报告。读取该寄存器时，锁存的错误报告将被清除。

11.3.2.3.3. 时钟停止自动恢复

在主机处理器在静音期间暂停音频时钟的系统中，CLD6255 会平滑地将所有通道转换为高阻态（Hi-Z），并在时钟故障存储器寄存器（地址=0x8A）中记录一个错误。这种转换保留了最后一个音频样本，并逐渐降低音量。

要改变这种默认行为，可以设置 ASI_CTRL1 寄存器（地址=0x21）的第 7 位。读取该寄存器时，锁存的错误将被清除。一旦时钟恢复，设备将自动返回到中断前的状态。

11.3.2.4. 时钟错误处理

在上电复位 (POR) 之后, CLD6255 会默认可能存在时钟错误。请注意, 当 I2C 在音频输入时钟准备好之前将设备设置为播放模式时, 时钟故障会被屏蔽。

每当检测到输入时钟有任何变化时, 设备的自动检测系统会立即静音输出, 同时继续寻找新的稳定时钟条件。

11.3.3. 数字音频处理

11.3.3.1. 数字音量控制

数字音量控制提供了从-103 分贝到+24 分贝的全面范围。调整可以精确到 0.5dB 的步进, 确保用户能够达到所需的精确音量级别。每个通道的数字音量都可以通过其各自的寄存器独立配置:

- DIG_VOL_CH1 (地址 0x40) 用于通道 1
- DIG_VOL_CH2 (地址 0x41) 用于通道 2
- DIG_VOL_CH3 (地址 0x42) 用于通道 3
- DIG_VOL_CH4 (地址 0x43) 用于通道 4

11.3.3.1.1. 静音检测

CLD6255 配备了静音检测功能, 当检测到持续的低电平音频输入低于-102dB 时, 会向系统发出警报。此功能确保设备始终关注输入信号, 用户可以根据需要监控单个通道或所有通道。

要激活和自定义静音检测功能, 需要访问 AUTO_MUTE_CTRL 寄存器 (地址 0x47)。此功能默认禁用, 可根据用户需求进行配置。

设置静音检测的时间阈值: 触发静音检测的连续低电平样本的持续时间可以按通道自定义, 使用以下寄存器:

- AUTO_MUTE_TIME_CH12 (地址 0x48) 用于通道 1 and 2
- AUTO_MUTE_TIME_CH34 (地址 0x49) 用于通道 3 and 4

11.3.3.2. 增益补偿 EQ

放大器的频率响应可能会显著受到其调制器和输出 LC 滤波器的影响, 从而可能导致不希望的频率衰减或放大。为了减轻这种影响并确保更中性的音频输出, CLD6255 配备了内置的增益补偿 EQ。

EQ 设置:

- 通道 1 和 3 配对使用单一的 EQ 设置, 而通道 2 和 4 共享另一个, 这允许对不同音频通道进行定制调整。
- 这些 EQ 提供了灵活的配置选项, 但最初默认禁用, 以保留默认的音频特性。

激活 EQ:

- 要激活并微调所需的音频响应, 必须将特定的系数编程到 EQ 设置中, 从而有效地定制放大器的频率补偿。

请参考芯聆 GUI 进行增益补偿 EQ 的调谐。

11.3.3.3. 低延迟信号路径

CLD6255 芯片配备了专门的低延迟信号路径, 非常适合对时间敏感的音频应用, 如主动降噪 (ANC) 和道路噪声降噪 (RNC)。

低延迟信号路径:

- CLD6255 芯片配备了专门的低延迟信号路径, 非常适合对时间敏感的音频应用, 如主动降噪 (ANC) 和道路噪声降噪 (RNC)。低延迟信号路径在 TDM 模式下独有, 该功能默认禁用, 但可以通过 ASI_CTRL18 寄存器 (地址 0x32) 启用, 具体方法是设置第 0 位。
- 在 CLD6255 芯片中, 低延迟输入在 TDM 流中的偏移量可以通过 ASI_CTRL7 寄存器 (地址 0x27) 的第 4-5 位和 ASI_CTRL9 寄存器 (地址 0x29) 进行调整。

不同采样频率下的性能:

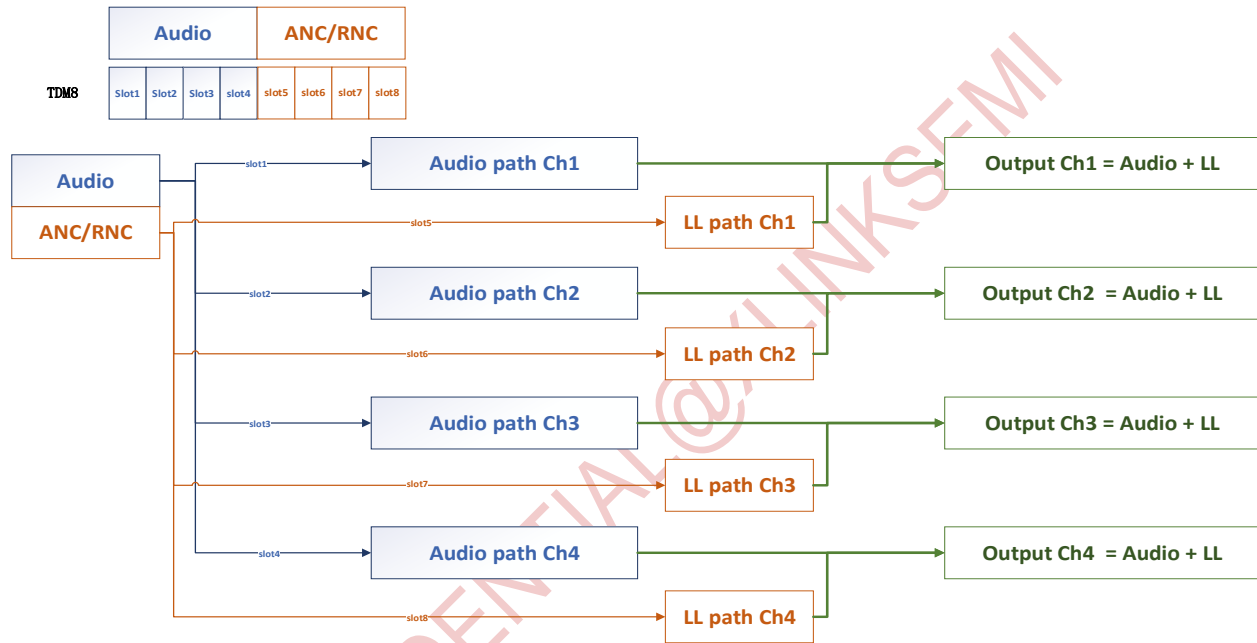
- 在 48kHz 的采样频率下, 低延迟路径相比标准音频路径实现了显著的 70% 信号延迟减少。
- 在 96kHz 和 192kHz 的采样频率下, 低延迟路径仍然有效, 但不会提供进一步的延迟减少。

独立处理和混合技术:

- 低延迟和标准音频信号路径是独立实现和处理的。
- 在输出放大阶段之前, 信号会直接合并。必须确保合并后的信号不超过数字数据范围, 以防止失真, 保持信号电平低于 0dB。

Class-H 控制:

- Class-H 控制包括一个可调延迟, 该延迟跟踪标准音频信号路径, 而不会影响低延迟路径。
- 需要注意的是, 低延迟信号的延迟减少可能会干扰标准音频路径, 因此需要精心配置以避免冲突。



11.3.3.3-1 低延迟和音频信号路径

11.3.3.4. Class-H 控制

Class-H 控制是一种旨在通过根据音频信号包络调制 PVDD 电源来提升系统效率的功能。PVDD 电源通过一个与 DC-DC 稳压器接口的 GPIO 引脚进行管理。此功能确保 PVDD 电源保持足够的裕度, 以防止削波失真, 同时优化功率效率。控制算法具有高度的适应性, 具体如下:

- 8/16 步 384kHz PWM 格式控制信号用于 DC-DC 转换器:** 这种控制信号允许对 DC-DC 转换器进行精细控制, 以适应音频信号的变化。
- 高达 5 毫秒的音频信号预览延迟缓冲区:** 这个缓冲区可以适应各种不同的转换器, 确保音频信号的平滑过渡。
- 可配置的峰值保持时间:** 优化从大音频输入到较低水平的电源电压轨转换, 确保电源供应的稳定性。
- 可配置的 PVDD 电源裕度:** 允许用户根据具体需求调整 PVDD 电源的裕度, 以防止削波失真并优化功率效率。

默认情况下, GPIO_3 被配置为类-H 控制信号的输出引脚。为了与大多数 DC-DC 开关稳压器及其反馈引脚控制的行为保持一致, GPIO3 引脚在启动过程中激活该功能之前被设置为高电平状态。根据具体需求, 可以修改 GPIO 引脚的功能、分配和极性。

11.3.3.4.1. 预处理的 Class-H 控制

如果中央 SoC/DSP 具备包络跟踪能力，CLD6255 可以通过提供预处理的 Class-H 控制来支持这一应用。在这种情况下，SoC/DSP 可以直接管理类-H 控制 PWM，从而绕过内部 Class-H 算法的需求。SoC/DSP 利用 32 位通道音频帧中的 4 个最低有效位。来自四个不同通道的这 16 位代码被聚合形成 PWM 输出，然后 CLD6255 对其进行解码并通过其 GPIO 引脚传输。

11.3.4. D 类操作和扩频控制

11.3.4.1.1. DM 调制

DM（动态调制）旨在最小化功耗损失，同时不牺牲高输出功率性能，并减少电磁干扰（EMI）。在 DM 模式下，CLD6255 会检测输入信号电平，并根据输出功率动态调整 PWM 占空比以及其他调制参数。要控制此功能，请使用地址为 0x02 的 Damp_CTRL 寄存器的第[1:0]位。

11.3.4.2. 扩频控制

CLD6255 在调制器的时钟信号上采用了扩频控制。这种控制能够管理时钟信号的频谱，从而更好地处理高频信号成分，这些成分在电磁干扰（EMI）测试中尤为明显。扩频调制是脉冲宽度调制（PWM）中的一种技术，通过改变输出 PWM 频率来降低 EMI 测量中观察到的峰值。这导致频谱变宽，强度水平降低。

11.3.4.3. 栅极驱动

栅极驱动器接收低压 PWM 信号，并将其电平转换以驱动高电流、全桥功率 FET 级。

该芯片采用专门的方法来降低 EMI 和音频性能。栅极驱动器的电源电压 GVDD 是在内部产生的，因此需要在 GVDD_BYP 引脚处连接一个去耦电容。

全 H 桥输出级仅由 NMOS 晶体管构成，这需要使用自举电容来确保高侧 NMOS 晶体管的正常工作。应使用 0.22-μF 的陶瓷电容，其质量等级为 X7R 或更优，适用于所施加的电压，从每个输出端连接到相应的自举输入端。

自举电容连接 BST 引脚和相应的输出端，作为高侧 N 沟道功率 MOSFET 栅极驱动电路的浮动电源。在每个高侧开关周期中，这些电容保持高栅极到源极电压，确保高侧 MOSFET 保持激活状态。

11.3.4.4. 并联 BTL (PBTL)

该芯片能够通过 LC 输出滤波器的负载侧并联 BTL 通道来驱动更高电流。要实现并联操作，必须启用并联 BTL (PBTL) 配置。此设置由 DAMP_CTRL 寄存器（地址=0x02）的第 2 和第 3 位管理，它可以为通道 1 和通道 2 对以及通道 3 和通道 4 对进行配置。

当使用 PBTL 时，请遵循以下寄存器配置顺序：

1. 在 VDD/VBAT/PVDD 上电后，将 PD 引脚（引脚 59）从低电平切换到高电平。同时保持 STBY 引脚（引脚 60）为低电平。
2. 将 DAMP_CTRL 寄存器（地址=0x02）中的第 2 位和第 3 位写入，以启用 PBTL 模式。
3. 配置其他寄存器，然后将 STBY 引脚拉高。

11.3.5. 负载诊断

11.3.5.1. 直流负载诊断

负载诊断在 D 类放大器输出级准备切换之前每次都会进行。这种诊断技术集成了尖峰滤波，因此在诊断测试期间，它对嘈杂环境具有很高的抗干扰能力。该诊断不依赖音频输入时钟，并且设计为所有通道并行运行。

直流负载诊断可以在以下条件下触发：

- 自动初始化：在设备初始化时，只要所有电源供应都在推荐范围内，诊断会在退出高阻态（Hi-Z）后自动在所有四个通道上执行。此诊断序列无法跳过，但如有必要可以终止。
- 故障后自动触发：在高阻态或播放状态下发生通道故障后，诊断可以自动启动。
- 手动激活：根据需要，可以手动为任意或所有通道启用诊断。

11.3.5.1.1. 在高阻态或播放期间的自动直流负载诊断

如果在通道处于高阻态 (HI-Z) 或播放 (PLAY) 状态时检测到故障, CLD6255 会将该通道移动到故障状态或自动恢复状态。一旦故障条件得到解决, 设备会自动在受影响的通道上启动直流负载诊断序列。诊断清除后, 设备将返回到之前的高阻态 (HI-Z) 或播放 (PLAY) 状态, 除非通过 I2C 指令进行了其他状态转换。

此自诊断功能默认通过直流负载诊断控制 1 寄存器 (地址=0xB0) 中的 LDG BYPASS 位 1 启用。如果在直流负载诊断期间发现故障, 直流负载诊断状态报告 (地址=0xC2) 中对应通道的 LDG OK 位将保持低电平, 表示“直流负载诊断未在无故障的情况下完成”。故障的详细信息提供在直流负载诊断报告 CH12 寄存器 (地址=0xC0) 和直流负载诊断报告 CH34 寄存器 (地址=0xC1) 中。然后, 通道大约每 750 毫秒重新进入测试周期, 直到故障被修复或通过 I2C 控制信号关闭诊断功能。

当特定通道的诊断成功完成且未检测到任何故障时, 直流负载诊断状态报告 (地址=0xC2) 中的相应位将设置为 1, 表示诊断结果正常。这一确认允许系统无需额外等待时间即可进入播放模式, 确保一旦通道无故障即可顺利返回音频输出。

11.3.6. 保护和监控

11.3.6.1. 过流关断

如果输出负载电流达到 ISD 阈值, 例如在输出端对地短路时, 会触发过流关断 (OCS) 事件, 该事件限制峰值电流并禁用受影响的通道。禁用通道所需的时间取决于短路条件的严重程度。

然后该通道进入 FAULT 状态, 输出级处于高阻态 (Hi-Z)。根据设置, 会产生一个故障信号, 默认情况下在 FAULT 引脚产生一个低电平信号。

过流限制可以在四个级别之间进行调整, 并通过 ANA_CTRL4 寄存器 (地址=0x55) 的第 0-2 位进行配置。

11.3.6.2. 直流检测

该电路在正常运行期间持续监测放大器输出端的直流偏移。如果直流偏移超过 DCFAULT 阈值, 相应通道将启动直流故障事件, 转换到 FAULT 状态, 并将输出级设置为高阻态。

根据设置, 会触发故障信号, 默认情况下在 FAULT 引脚产生一个低电平信号。

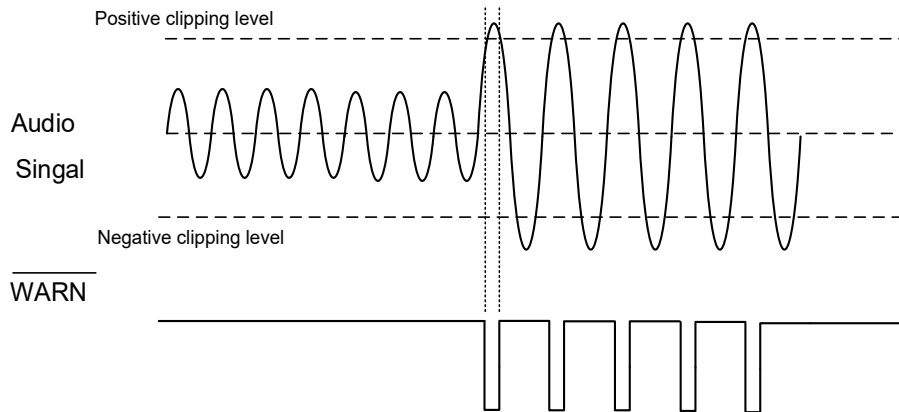
11.3.6.3. 数字削波检测

CLD6255 对每个通道的音频信号进行单独监测, 将信号的幅度与内部 PVDD 传感器测量的电源电压 PVDD 进行比较。如果预计音频信号的幅度将超过 PVDD 水平, 将触发削波检测警告事件, 以通知系统潜在的问题。

报告寄存器:

- 未锁存/状态: 通道削波检测警告状态寄存器 (地址=0x83)
- 锁存/存储: 通道削波检测警告存储寄存器 (地址=0x89)。读取时锁存的错误报告将被清除。

CLD6255 集成了先进的削波检测功能, 该功能具有可由用户设置的阈值。此阈值可从 THDN (总谐波失真加噪声) 1% 调整到 10%, 并且不依赖于音频频率。以下是一个示例。



11.3.6.4. 温度保护和监控

该芯片配备了先进的温度监测系统，该系统包含五个高精度传感器。每个输出通道都配备了独立的温度传感器，这些传感器战略性地放置在输出级的中心附近，以提供每个通道的准确、独立的温度监测。此外，芯片上还集成了一个全局温度传感器，位于关键位置，提供芯片实际结温的精确指示。

这些传感器对于系统的智能热管理至关重要，能够根据需要生成警告和故障信号。该芯片还具备先进的热增益折叠机制，能够自动调整音频增益以控制和限制芯片温度，从而提高系统的可靠性和耐用性。

全局温度传感器的数据由一个 12 位模数转换器（ADC）捕获，采样率为 48kHz。这些温度信息随后被发送到温度传感器寄存器（地址=0x75），并通过 I2C 接口进行访问。通道温度可以通过 SDOUT 进行监控。

11.3.6.4.1. 过温关断

全局过温关断（OTSD）以及由各个输出通道触发的过温关断（OTSD(i)）的温度阈值被预设为特定值。为了保护设备免受过高温度的影响，OTSD 功能可以关闭特定通道（通道特定的 OTSD）或整个设备（全局 OTSD）。OTSD 阈值是不可调节的。请事先查阅电气特性（EC）表。

全局过温关断（Global OTSD）：如果全局传感器检测到的温度超过阈值，所有通道将进入关断状态，并触发过温关断（OTSD）事件。

通道过温关断（Channel OTSD）：如果特定通道的传感器检测到的温度超过阈值，受影响的通道将进入关断状态，并触发过温关断（OTSD）事件。

OTSD 状态可以在 OTSD CS 故障状态寄存器（地址=0x81）中读取，具体为第 4 位（全局 OTSD）和第 3 至 0 位（通道 OTSD）。

OTSD 可以通过以下寄存器进行配置：

- FAULT_CONFIG 寄存器（地址=0x8F）第 1 位：此位决定在过温关断（OTSD）事件发生后采取的行动，选项包括自动恢复（Auto Recovery）或故障模式（Fault mode）。在自动恢复模式下，状态机切换到 AUTOREC 状态，一旦温度恢复正常，它会自动返回播放状态。在故障模式下，状态机移动到故障状态，并需要手动清除故障后才能恢复到播放状态。全局 OTSD 和通道 OTSD 的设置都是通过这个寄存器管理的。

默认情况下，当 OTSD 事件发生时，故障信号会在 FAULT 引脚上生成一个低电平信号。

11.3.6.4.2. 过温警告

CLD6255 提供了可配置的过温警告（OTW）功能，具体配置如下：

- OT_CONFIG1 寄存器（地址=0xE0）和 OT_CONFIG2 寄存器（地址=0xE1）：用于 OTW 旁路设置。用户可以决定是否使用所有三个级别的 OTW。通道 1 至 4 分别配置。

- OT_CONFIG3 寄存器（地址=0xE2）和 OT_CONFIG4 寄存器（地址=0xE3）：用于 OTW 报告到寄存器。用户可以决定将 OTW 报告到特定寄存器（地址=0x82, 0x88）的级别。通道 1 至 4 分别配置。

如“过温警告事件”部分所述，警告可以通过轮询相关 I2C 寄存器来检查，或者通过指定 GPIO 引脚用于警告信号并激活 OTW 报告路由来产生硬件信号。

11.3.6.4.3. 热增益折叠

热增益折叠（Thermal Gain Foldback, TGFB）是一种安全功能，旨在保护 CLD6255 免受过高的芯片温度影响，同时保持音频输出的完整性。默认情况下，热增益折叠功能是启用的，可以通过修改 ASP_CTRL2 寄存器（地址=0x3A）的第 0 位来选择性地禁用。

热增益折叠功率限制的主要目的是将输出级保持在其安全的工作功率耗散范围内，从而防止过温关断（Over-Temperature Shutdown, OTSD）。此功能确保音频体验的连续性，即使温度阈值被超过，也能允许不间断的音乐播放。CLD6255 不会突然关断，而是保持一个显著的音频输出功率水平，而不触发 OTSD。

CLD6255 的数字核心会持续实时监测芯片温度，以确保安全运行。如果芯片温度接近过温警告（Over-Temperature Warning, OTW）限制，它可以向主机发出警告。设备会继续运行，直到温度达到 OTSD 阈值，此时可能会关闭个别通道或整个放大器。

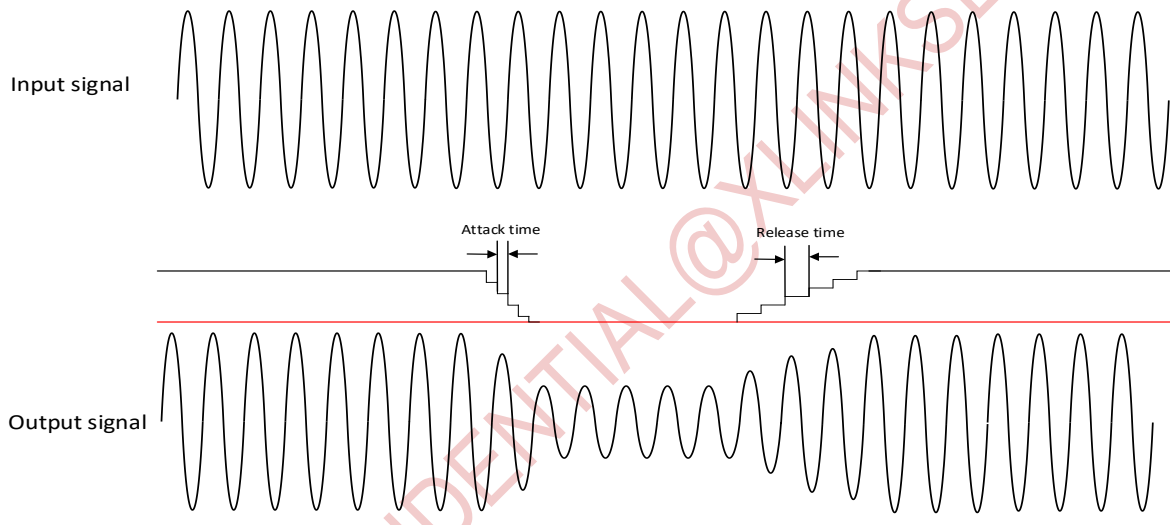


图 11.3.6.4.3-1 热增益折叠攻击和释放

11.3.6.5. 电源故障

电源供应 VBAT 和 PVDD 会监测欠压和过压事件，具体细节在电源故障事件部分有详细说明。这将触发自动关机以保护设备。VBAT 和 PVDD 的安全工作电压范围在推荐工作条件表中有规定。

如果 DVDD 供电电压下降到低于 VPOR_OFF，设备将关闭。DVDD POR 故障事件在电源故障事件部分有描述。

11.3.7. 硬件控制引脚

11.3.7.1. /FAULT 引脚

CLD6255 具备一个 /FAULT 引脚，默认配置用于指示故障事件，并基于低电平有效工作。该引脚在特定的锁存和非锁存条件下触发，包括：过温关断（OTSD），包括

- 锁存和非锁存事件。
- 过流限制和关断事件，为锁存事件。
- 直流检测，也是一种锁存事件。

设备在 FAULT_SOURCE_EN1 寄存器（地址=0x90）、FAULT_SOURCE_EN3 寄存器（地址=0x92，复位值为 0x06）和 FAULT_SOURCE_EN5 寄存器（地址=0x94）中包含寄存器位，用于屏蔽特定故障类别，防止其报告到/FAULT 引脚。需要注意的是，这些位仅阻止故障影响引脚状态，并不影响通过寄存器的故障报告或设备的保护动作。

额外的故障事件可以映射到/FAULT 引脚进行报告，包括：

- 电源故障，可以是锁存或非锁存的。
- 直流负载诊断故障。
- 实时负载诊断报告，包括锁存和非锁存事件。
- 时钟错误，也包括锁存和非锁存类型。
- 警告事件。

/FAULT 引脚被配置为开漏输出，并具有一个连接到 DVDD 电源轨的内部 110kΩ 上拉电阻。这确保了引脚在没有故障条件主动拉低时保持高电平逻辑。这种设计便于与外部故障处理电路轻松集成，并在系统内提供清晰的故障状态指示。

11.3.7.2. /PD 引脚

/PD 引脚为低电平有效。当激活时，设备进入关断模式，此时电流消耗降至最低。在关断模式下，所有内部模块都被关闭，并且在下次启动时寄存器会重置为默认值。该引脚包含一个内部 110kΩ 的下拉电阻。

11.3.7.3. /STBY 引脚

/STBY 引脚为低电平有效。激活该引脚会使设备进入高阻态（Hi-Z）。在这种模式下，设备的电流消耗减少，输出引脚被置于高阻态。所有内部模拟偏置被禁用。I2C 总线保持激活状态，内部寄存器可访问。

11.3.7.4. GPIO 引脚

CLD6255 提供了三个可配置的 GPIO 引脚，这些引脚可以设置为输入或输出。这些引脚需要通过 I2C 在设备初始化和上电复位（POR）后进行配置，然后才能正常工作。默认情况下，GPIO 引脚 1 和 2 被设置为输入引脚。每个引脚的配置可以通过 GPIO_CONFIG 寄存器（地址=0xA0）的第 5-7 位单独控制。GPIO 引脚 3 与引脚 1 和 2 具有相同的可配置性，但默认配置为开漏输出引脚，并分配了类-H 控制功能，它将保持高电平，直到其配置被更改。

11.3.8. 设备状态和标志

11.3.8.1.1. 关断状态

当/PD 引脚被拉低时，设备保持在关断模式，禁用所有内部稳压器以最小化功耗。释放/PD 引脚会启动设备，并将所有寄存器重置为默认值。关断状态在设备级别保持，没有单独通道的偏差。

11.3.8.1.2. 负载诊断状态

诊断模式激活直流诊断电路，用于测试电源短路、接地短路、负载短路和开路负载，而无需启动输出功率级。在激活输出 FET 之前，必须完成这些测试且无故障。更详细的描述，请参阅直流负载诊断。

直流诊断不依赖于外部音频输入信号或时钟和同步频率。直流诊断结果通过 I2C 寄存器分别报告每个通道的结果，具体为直流负载诊断报告 CH12 寄存器（地址=0xC0）和直流负载诊断报告 CH34 寄存器（地址=0xC1）。

11.3.8.1.3. 高阻态

在高阻态（Hi-Z）时，输出驱动器被设置为高阻态，而所有其他模块都保持完全功能。高阻态可以在通道级别设置。通过将状态控制寄存器设置为 PLAY，通道可以转换到播放状态。

11.3.8.1.4. 播放状态

在播放（PLAY）状态下，设备完全正常运行，其激活的输出级会切换并放大输入信号。

在播放状态下，可以通过相应状态控制寄存器（通道 1 和 2 的状态控制寄存器 0，以及通道 3 和 4 的状态控制寄存器 1）中的 CH(i)静音位，或者如果配置了相应功能，通过 GPIO 引脚来激活静音功能。静音与播放状态之间的转换是渐进的，音量渐变可以在数字音量控制 1 寄存器（地址 =0x44）中进行配置。

实时负载诊断功能可以启用，以监测连接的负载是否存在短路或开路情况。

11.3.8.1.5. FAULT 状态

FAULT 状态是一种内部触发的模式，用户无法手动启动。如果处于 PLAY 状态的设备通道遇到故障，设备可能会作为保护措施关闭受影响的音频通道。在这种 FAULT 状态下，受影响通道的输出 FET 被禁用，导致输出引脚呈现高阻态。设备将这些通道的状态报告为“FAULT”。

单个通道进入此状态的可能原因包括：

- 过流关断
- 负载电流故障
- 直流故障
- 实时负载诊断故障
- 通道过温关断（如果配置为不自动恢复）

所有通道进入此状态的可能原因是：

- 全局过温关断（如果配置为不自动恢复）

11.3.8.1.6. 自动恢复状态

自动恢复（AUTOREC）状态是一种由设备内部管理的模式，用户无法手动设置。当处于播放（PLAY）状态的设备通道检测到故障时，设备会关闭该通道以保护输出级。这包括关闭受影响通道的输出 FET，导致输出引脚呈现高阻态。然后，设备将受影响的通道转换到自动恢复（AUTOREC）状态。

一旦故障条件得到解决，设备会自动恢复，通过重新启用输出 FET 并将通道返回到播放（PLAY）状态。这一自动恢复过程确保一旦问题解决，音频播放可以无缝恢复，无需手动干预。对于正处于自动恢复过程中的通道，会报告自动恢复（AUTOREC）状态。

单个通道进入此状态的可能原因是：

- 通道过温关断（OTSD(i)），如果配置为自动恢复

所有通道进入此状态的可能原因是：

- 电源故障
- 时钟错误
- 全局过温关断（OTSD），如果配置为自动恢复

11.4. 编程

11.4.1. I2C 串行通信总线

CLD6255 作为 I2C 目标设备，通过 I2C 总线与系统处理器进行通信，数据传输速率可为 100kHz 或 400kHz。处理器可以通过 I2C 轮询查询设备状态、调整配置或执行诊断。

设备的寄存器映射分布在多个页面。要访问特定寄存器，用户必须使用寄存器 0 选择适当的页面，这允许切换到高达 255 的任何页面编号。默认情况下，CLD6255 数据手册中提到的所有寄存器都位于第 0 页。

有关 I2C 控制的详细信息，请参阅寄存器映射部分。

11.4.2. I2C 地址选择

CLD6255 支持八个 I2C 地址，允许多达八个设备在系统中一起工作，无需额外的总线切换硬件。I2C 地址在上电时由连接在设备的 I2C_ADDR 引脚和 DVDD 电源轨（上拉）或地（下拉）之间的上拉或下拉电阻确定。I2C 地址在上电复位（POR）事件后被锁定，并保持锁定状态直到下一个 POR 事件。

CLD6255 设备提供 8 种地址设置:

Table 11.4.2-1 I²C 地址

描述	I ² C _ADD Pin Pull-Up	I ² C _ADD Pin Pull-down	I ² C 写	I ² C 读
Device 1		0	0xC0	0xC1
Device 2		1kΩ	0xC2	0xC3
Device 3		4.7kΩ	0xC4	0xC5
Device 4		24kΩ	0xC6	0xC7
Device 5	24kΩ		0xC8	0xC9
Device 6	4.7kΩ		0xCA	0xCB
Device 7	1kΩ		0xCC	0xCD
Device 8	0		0xCE	0xCF

11.4.3. I2C 总线协议

I2C 总线利用两个信号，SDA（数据）和 SCL（时钟），来促进系统内集成电路之间的通信。数据是逐位串行传输的。地址和数据都以 8 位格式传输，最先发送的是最高有效位（MSB）。在总线上传输的每个字节都会通过接收设备的一个确认位来确认。

设备通过 I2C 总线与主机通信，典型的 I2C 时序图如下所示。

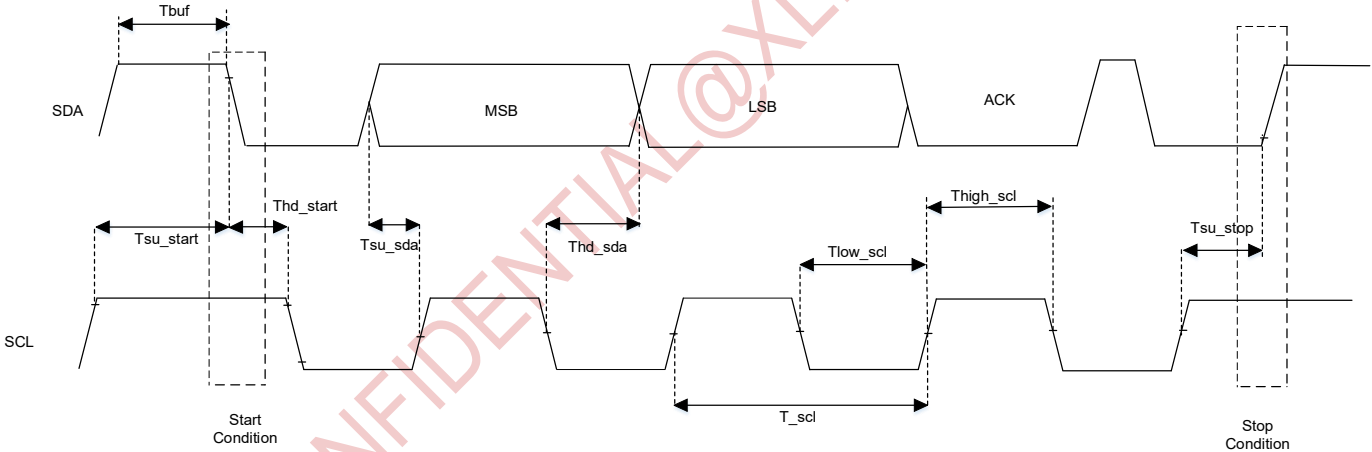


图 11.4.3-1 I²C 时序

I ² C timing		最小值	典型值	最大值	单位
Fscl	I ² C communication speed			400	KHz
Tbuf	Bus free time between stop and start	1.3			us
Tlow_scl	SCL low period	1.3			us
Thigh_scl	SCL high period	0.6			us
Tsu_start	Startup setup time	0.6			us
Thd_start	Startup hold time	0.6			us
Tsu_sda	SDA setup time	0.1			us
Thd_sda	SDA hold time	0.1			us
Tfall	Falling time			0.3	us
Trise	Rising time			0.3	us
Tsu_stop	Stop condition setup time	0.6			us

12. 寄存器列表

寄存器目录

PAGE NUM Register (8'h00) [Reset = 0x00]	34
MODE CTRL Register (8'h01) [Reset = 0x00]	34
DAMP CTRL Register (8'h02) [Reset = 0x00]	34
STATE CTRL0 Register (8'h03) [Reset = 0x22]	34
STATE CTRL1 Register (8'h04) [Reset = 0x22]	34
ASI CTRL1 Register (8'h21) [Reset = 0x00]	35
ASI CTRL3 Register (8'h23) [Reset = 0x0A]	35
ASI CTRL7 Register (8'h27) [Reset = 0x00]	35
ASI CTRL8 Register (8'h28) [Reset = 0x00]	36
ASI CTRL9 Register (8'h29) [Reset = 0x60]	36
ASI CTRL18 Register (8'h32) [Reset = 0x00]	36
ASP CTRL2 Register (8'h3A) [Reset = 0x00]	36
DIG VOL CH1 Register (8'h40) [Reset = 0x30]	36
DIG VOL CH2 Register (8'h41) [Reset = 0x30]	37
DIG VOL CH3 Register (8'h42) [Reset = 0x30]	37
DIG VOL CH4 Register (8'h43) [Reset = 0x30]	37
AUTO MUTE CTRL Register (8'h47) [Reset = 0x00]	37
AUTO MUTE TIME CH12 Register (8'h48) [Reset = 0x00]	38
AUTO MUTE TIME CH34 Register (8'h49) [Reset = 0x00]	38
AGAIN RAMP Register (8'h4E) [Reset = 0x00]	38
ANA CTRL2 Register (8'h52) [Reset = 0x01]	39
ANA CTRL4 Register (8'h55) [Reset = 0x00]	39
DEVICE STATE REPORT 12 Register (8'h72) [Reset = 0x00]	39
DEVICE STATE REPORT 34 Register (8'h73) [Reset = 0x00]	39
PVDD SENSE Register (8'h74) [Reset = 0x00]	40
TEMP SENSOR Register (8'h75) [Reset = 0x00]	40
FAULT TFB PVDD ACTIVE Register (8'h7A) [Reset = 0x00]	40
FAULT TFB PVDD ACTIVE LATCH Register (8'h7B) [Reset = 0x00]	40
BOOK NUM Register (8'h7F) [Reset = 0x00]	40
POWER FAULT STATUS Register (8'h80) [Reset = 0x00]	40
OTSD CS FAULT STATUS Register (8'h81) [Reset = 0x00]	41
OTW TGFB WARN STATUS Register (8'h82) [Reset = 0x00]	41
CH CLIPDET WARN STATUS Register (8'h83) [Reset = 0x00]	41
POWER FAULT MEM Register (8'h86) [Reset = 0x00]	42
OTSD CS FAULT MEM Register (8'h87) [Reset = 0x00]	42
OTW TGFB WARN MEM Register (8'h88) [Reset = 0x00]	42
CH CLIPDET WARN MEM Register (8'h89) [Reset = 0x00]	42
CLOCK FAULT MEM Register (8'h8A) [Reset = 0x00]	42
CH OC DC FAULT MEM Register (8'h8E) [Reset = 0x00]	43
FAULT CONFIG Register (8'h8F) [Reset = 0x00]	43
CLIP DETECT Register (8'h93) [Reset = 0x40]	43
FAULT SOURCE EN5 Register (8'h94) [Reset = 0x00]	43
GP OUTPUT SEL1 Register (8'h95) [Reset = 0x00]	43
GP OUTPUT SEL2 Register (8'h96) [Reset = 0x00]	44
GP OUTPUT SEL3 Register (8'h97) [Reset = 0x10]	44
GP INPUT SEL3 Register (8'h9B) [Reset = 0x00]	44
GP INPUT SEL4 Register (8'h9C) [Reset = 0x00]	45
GP INPUT SEL5 Register (8'h9D) [Reset = 0x00]	45
GP INPUT SEL7 Register (8'h9F) [Reset = 0x00]	45
GPIO CONFIG Register (8'hA0) [Reset = 0x22]	45
GP OUTPUT INV Register (8'hA1) [Reset = 0x00]	46
ASI CTRL19 Register (8'hA4) [Reset = 0x00]	46
HDR CTRL2 Register (8'hAA) [Reset = 0x2E]	46
DC LDG CTRL 1 Register (8'hB0) [Reset = 0x00]	46
DC LDG RPRT CH12 Register (8'hC0) [Reset = 0x00]	46
DC LDG RPRT CH34 Register (8'hC1) [Reset = 0x00]	47
DC LDG STATE RPRT Register (8'hC2) [Reset = 0x00]	47
OT CONFIG1 Register (8'hE0) [Reset = 0x00]	47
OT CONFIG2 Register (8'hE1) [Reset = 0x00]	47
OT CONFIG3 Register (8'hE2) [Reset = 0x11]	48
OT CONFIG4 Register (8'hE3) [Reset = 0x11]	48
HDR 0 ADDR Register (8'h90) [Reset = 0x9F]	48
HDR 2 ADDR Register (8'h92) [Reset = 0x81]	48
HDR 3 ADDR Register (8'h93) [Reset = 0x00]	48
HDR 4 ADDR Register (8'h94) [Reset = 0x00]	48
HDR 6 ADDR Register (8'h96) [Reset = 0x08]	49

PAGE NUM Register (8'h00) [Reset = 0x00]

PAGE NUM Register (8'h00) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:0]	REG PAGE NUM	RW	0x0	page_num (read only)

MODE CTRL Register (8'h01) [Reset = 0x00]

MODE CTRL Register (8'h01) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:5]	RESERVED	RW	0x0	RESERVED
[4]	SW RESET	W1P	0x0	WRITE CLEAR BIT 0: Normal operation 1: Device will be reset
[3]	CLEAR FAULT	W1P	0x0	WRITE CLEAR BIT 0: Normal operation 1: Clear analog fault
[2]	RESERVED	RW	0x0	RESERVED
[1]	RESERVED	RW	0x0	RESERVED
[0]	REGISTER RESET	W1P	0x0	WRITE CLEAR BIT Reset Registers This bit resets the mode registers back to their initial values. 0: Normal operation 1: Reset mode registers

DAMP CTRL Register (8'h02) [Reset = 0x00]

DAMP CTRL Register (8'h02) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6]	RESERVED	RW	0x0	RESERVED
[5]	RESERVED	RW	0x0	RESERVED
[4]	RESERVED	RW	0x0	RESERVED
[3]	PBTL CH34	RW	0x0	0: Channels 3 and 4 are in BTL mode 1: Channels 3 and 4 are in PBTL mode
[2]	PBTL CH12	RW	0x0	0: Channels 1 and 2 are in BTL mode 1: Channels 1 and 2 are in PBTL mode
[1:0]	MODULATION	RW	0x0	10: DM mode Others: reserved

STATE CTRL0 Register (8'h03) [Reset = 0x22]

STATE CTRL0 Register (8'h03) [Reset = 0x22]				
Bit	Field	Type	Reset	Description
[7]	CH1 MUTE	RW	0x0	Mute Channel 1 0: Normal volume 1: Mute
[6:4]	CH1 STATE CONTROL	RW	0x2	Channel 1 state control register 000: STANDBY 001: LOAD DIAG 010: SLEEP 011: HI-Z 100: PLAY
[3]	CH2 MUTE	RW	0x0	Mute Channel 2 0: Normal volume 1: Mute
[2:0]	CH2 STATE CONTROL	RW	0x2	Channel 2 state control register 000: STANDBY 001: LOAD DIAG 010: SLEEP 011: HI-Z 100: PLAY

STATE CTRL1 Register (8'h04) [Reset = 0x22]

STATE CTRL1 Register (8'h04) [Reset = 0x22]				
Bit	Field	Type	Reset	Description
[7]	CH3 MUTE	RW	0x0	Mute Channel 3 0: Normal volume 1: Mute
[6:4]	CH3 STATE CONTROL	RW	0x2	Channel 3 state control register 000: STANDBY 001: LOAD DIAG

				010: SLEEP 011: HI-Z 100: PLAY
[3]	CH4 MUTE	RW	0x0	Mute Channel 4 0: Normal volume 1: Mute
[2:0]	CH4 STATE CONTROL	RW	0x2	Channel 4 state control register 000: STANDBY 001: LOAD DIAG 010: SLEEP 011: HI-Z 100: PLAY

ASI CTRL1 Register (8'h21) [Reset = 0x00]

ASI CTRL1 Register (8'h21) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6]	SDSL	RW	0x0	SDOUT Select This bit selects what is being output as SDOUT via output pins. 0: SDOUT is used for output data transmission 1: SDIN data is routed to SDOUT
[5]	RESERVED	RW	0x0	RESERVED
[4]	TDM EN	RW	0x0	TDM Control. Requires the format set to TDM/DSP format in bit 2-3 first. 0: DSP mode 1: TDM mode
[3:2]	AFMT	RW	0x0	I2S Data Format These bits control both input and output audio interface formats for DAC operation. 00: I2S 01: TDM/DSP 10: RTJ 11: LTJ
[1:0]	FS PULSE WIDTH	RW	0x0	FSYNC pulse < 8 x SCLK 00: High width of FSYNC in TDM/DSP mode is equal or greater than 8 cycles of SCLK 01: High width of FSYNC in TDM/DSP mode is less than 8 cycles of SCLK 10 / 11: Reserved

ASI CTRL3 Register (8'h23) [Reset = 0x0A]

ASI CTRL3 Register (8'h23) [Reset = 0x0A]				
Bit	Field	Type	Reset	Description
[7]	TDM AUDIO SDIN	RW	0x0	Normal Audio from: 0: select data from SDIN1 1: select data from SDIN2
[6]	TDM LL SDIN	RW	0x0	Low latency audio from: 0: select data from SDIN1 1: select data from SDIN2
[5]	RESERVED	RW	0x0	RESERVED
[4]	RESERVED	RW	0x0	RESERVED
[3:2]	I2S WL 1	RW	0x2	CH1 and CH2 wordlength: 00: 16 bits 01: 20 bits 10: 24 bits 11: 32 bits
[1:0]	I2S WL 2	RW	0x2	CH3 and CH4 wordlength: 00: 16 bits 01: 20 bits 10: 24 bits 11: 32 bits

ASI CTRL7 Register (8'h27) [Reset = 0x00]

ASI CTRL7 Register (8'h27) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:6]	REG I2S SHIFT1 MSB	RW	0x0	I2S Shift1 MSB, refer to ASI_CTRL_8(0x28)
[5:4]	REG I2S SHIFT2 MSB	RW	0x0	I2S Shift2 MSB, refer to ASI_CTRL_9(0x29)
[3:2]	RESERVED	RW	0x0	RESERVED

[1:0]	RESERVED	RW	0x0	RESERVED
-------	----------	----	-----	----------

ASI CTRL8 Register (8'h28) [Reset = 0x00]

ASI CTRL8 Register (8'h28) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:0]	REG I2S SHIFT1 LSB	RW	0x0	I2S Shift1 LSB (combine MSB to use) for Normal Audio channel, total 10 bis: 000000000: offset = 0 BCK (no offset) 000000001: offset = 1 BCK 000000010: offset = 2 BCKs ... 011111111: offset = 511 BCKs 100000000 - 111111111: Reserved

ASI CTRL9 Register (8'h29) [Reset = 0x60]

ASI CTRL9 Register (8'h29) [Reset = 0x60]				
Bit	Field	Type	Reset	Description
[7:0]	REG I2S SHIFT2 LSB	RW	0x60	I2S Shift2 LSB (combine MSB to use) for Low latency channel, total 10 bis: 000000001: offset = 1 BCK 000000010: offset = 2 BCKs ... 000110000: offset = 96 BCK ... 011111111: offset = 511 BCKs 100000000 - 111111111: Reserved

ASI CTRL18 Register (8'h32) [Reset = 0x00]

ASI CTRL18 Register (8'h32) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:3]	RESERVED	RW	0x0	RESERVED
[2]	RESERVED	RW	0x0	RESERVED
[1]	RESERVED	RW	0x0	RESERVED
[0]	REG LL EN	RW	0x0	0: Low latency path disabled 1: Low latency path enabled

ASP CTRL2 Register (8'h3A) [Reset = 0x00]

ASP CTRL2 Register (8'h3A) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6]	RESERVED	RW	0x0	RESERVED
[5]	REG POST ASP	RW	0x0	Post-Processed audio select 0: Post-processed audio signal not routed to SDOUT 1: Post-processed audio signal routed to SDOUT. Replaces Vpredict data
[4]	RESERVED	RW	0x0	RESERVED
[3]	REG CLASSH INPUT	RW	0x0	Class-H Data select 0: PWM data from ASP (audio signal process) 1: PWM data from SDIN (no audio signal process)
[2]	RESERVED	RW	0x0	RESERVED
[1]	REG CLASSH EN	RW	0x0	Class-H enable 0: Class-H disabled 1: Class-H enabled
[0]	REG THERM FLDB	RW	0x0	Thermal Foldback 0: Thermal Foldback enabled 1: Thermal Foldback disabled

DIG VOL CH1 Register (8'h40) [Reset = 0x30]

DIG VOL CH1 Register (8'h40) [Reset = 0x30]				
Bit	Field	Type	Reset	Description
[7:0]	REG PGA CH1	RW	0x30	Channel 1 Digital Volume These bits control the digital volume of channel 1. The digital volume is 24 dB to -103 dB in -0.5 dB steps. 00000000: +24.0 dB 00000001: +23.5 dB ... 00101111: +0.5 dB

				00110000: 0.0 dB 00110001: -0.5 dB ... 11111110: -103 dB 11111111: Mute
--	--	--	--	---

DIG VOL CH2 Register (8'h41) [Reset = 0x30]

DIG VOL CH2 Register (8'h41) [Reset = 0x30]				
Bit	Field	Type	Reset	Description
[7:0]	REG PGA CH2	RW	0x30	Channel 2 Digital Volume These bits control the digital volume of channel 2. The digital volume is 24 dB to -103 dB in -0.5 dB steps. 00000000: +24.0 dB 00000001: +23.5 dB ... 00101111: +0.5 dB 00110000: 0.0 dB 00110001: -0.5 dB ... 11111110: -103 dB 11111111: Mute

DIG VOL CH3 Register (8'h42) [Reset = 0x30]

DIG VOL CH3 Register (8'h42) [Reset = 0x30]				
Bit	Field	Type	Reset	Description
[7:0]	REG PGA CH3	RW	0x30	Channel 3 Digital Volume These bits control the digital volume of channel 3. The digital volume is 24 dB to -103 dB in -0.5 dB steps. 00000000: +24.0 dB 00000001: +23.5 dB ... 00101111: +0.5 dB 00110000: 0.0 dB 00110001: -0.5 dB ... 11111110: -103 dB 11111111: Mute

DIG VOL CH4 Register (8'h43) [Reset = 0x30]

DIG VOL CH4 Register (8'h43) [Reset = 0x30]				
Bit	Field	Type	Reset	Description
[7:0]	REG PGA CH4	RW	0x30	Channel 4 Digital Volume These bits control the digital volume of channel 4. The digital volume is 24 dB to -103 dB in -0.5 dB steps. 00000000: +24.0 dB 00000001: +23.5 dB ... 00101111: +0.5 dB 00110000: 0.0 dB 00110001: -0.5 dB ... 11111110: -103 dB 11111111: Mute

AUTO MUTE CTRL Register (8'h47) [Reset = 0x00]

AUTO MUTE CTRL Register (8'h47) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:5]	RESERVED	RW	0x0	Reserved
[4]	AMUTE IDP	RW	0x0	0: Auto mute channel independently 1: Auto mute channels only when all four channels are about to be auto muted
[3]	AMUTE CH4	RW	0x0	0: Disable Channel 4 auto mute 1: Enable Channel 4 auto mute
[2]	AMUTE CH3	RW	0x0	0: Disable Channel 3 auto mute 1: Enable Channel 3 auto mute
[1]	AMUTE CH2	RW	0x0	0: Disable Channel 2 auto mute 1: Enable Channel 2 auto mute
[0]	AMUTE CH1	RW	0x0	0: Disable Channel 1 auto mute 1: Enable Channel 1 auto mute

AUTO MUTE TIME CH12 Register (8'h48) [Reset = 0x00]

AUTO MUTE TIME CH12 Register (8'h48) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	Reserved
[6:4]	AMT CH1	RW	0x0	Auto Mute Time for Channel 1 These bits specify the length of consecutive zero samples at channel 1 before the channel can be auto muted. The times shown are for 96 kHz sampling rate and will scale with other rates. At 48kHz the timing durations will double. At 192kHz the timing durations will be halved. 000: 11.5 ms 001: 53 ms 010: 106.5 ms 011: 266.5 ms 100: 0.535 sec 101: 1.065 sec 110: 2.665 sec 111: 5.33 sec
[3]	RESERVED	RW	0x0	Reserved
[2:0]	AMT CH2	RW	0x0	Auto Mute Time for Channel 2 These bits specify the length of consecutive zero samples at channel 2 before the channel can be auto muted. The times shown are for 96 kHz sampling rate and will scale with other rates. At 48kHz the timing durations will double. At 192kHz the timing durations will be halved. 000: 11.5 ms 001: 53 ms 010: 106.5 ms 011: 266.5 ms 100: 0.535 sec 101: 1.065 sec 110: 2.665 sec 111: 5.33 sec

AUTO MUTE TIME CH34 Register (8'h49) [Reset = 0x00]

AUTO MUTE TIME CH34 Register (8'h49) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	Reserved
[6:4]	AMT CH3	RW	0x0	Auto Mute Time for Channel 3 These bits specify the length of consecutive zero samples at channel 3 before the channel can be auto muted. The times shown are for 96 kHz sampling rate and will scale with other rates. At 48kHz the timing durations will double. At 192kHz the timing durations will be halved. 000: 11.5 ms 001: 53 ms 010: 106.5 ms 011: 266.5 ms 100: 0.535 sec 101: 1.065 sec 110: 2.665 sec 111: 5.33 sec
[3]	RESERVED	RW	0x0	Reserved
[2:0]	AMT CH4	RW	0x0	Auto Mute Time for Channel 4 These bits specify the length of consecutive zero samples at channel 4 before the channel can be auto muted. The times shown are for 96 kHz sampling rate and will scale with other rates. At 48kHz the timing durations will double. At 192kHz the timing durations will be halved. 000: 11.5 ms 001: 53 ms 010: 106.5 ms 011: 266.5 ms 100: 0.535 sec 101: 1.065 sec 110: 2.665 sec 111: 5.33 sec

AGAIN RAMP Register (8'h4E) [Reset = 0x00]

AGAIN RAMP Register (8'h4E) [Reset = 0x00]				
Bit	Field	Type	Reset	Description

[7:4]	RESERVED	RW	0x0	RESERVED
[3:2]	AGAIN STEP	RW	0x0	Analog Gain Ramp Step speed Applies to ramp up and ramp down 00: 15us/step 01: 30us/step 10: 60us/step 11: 120us/step
[1]	AGAIN RAMP DOWN	RW	0x0	Analog Gain Ramp Down Control This bit determines if the analog gain is ramped down sequentially or instantly 0: Analog gain ramp down enabled 1: Analog gain ramp down disabled
[0]	AGAIN RAMP UP	RW	0x0	Analog Gain Ramp Up Control This bit determines if the analog gain is ramped up sequentially or instantly 0: Analog gain ramp up enabled 1: Analog gain ramp up disabled

ANA CTRL2 Register (8'h52) [Reset = 0x01]

ANA CTRL2 Register (8'h52) [Reset = 0x01]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:3]	RESERVED	RW	0x0	RESERVED
[2:0]	FSW SELECT	RW	0x1	Switching Frequency Fsw 100: 432kHz others: reserved

ANA CTRL4 Register (8'h55) [Reset = 0x00]

ANA CTRL4 Register (8'h55) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:2]	RESERVED	RW	0x0	RESERVED
[1:0]	OC LIMIT	RW	0x0	Select the Current Limit level 00: OC level 4 01: OC level 3 10: OC level 2 11: OC level 1

DEVICE STATE REPORT 12 Register (8'h72) [Reset = 0x00]

DEVICE STATE REPORT 12 Register (8'h72) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:4]	CH1 STATE REPORT	RO	0x0	000: standby 001: LOAD DIAG 010: SLEEP 011: HI-Z 100: PLAY 101: FAULT 110: AUTOREC
[3:0]	CH2 STATE REPORT	RO	0x0	000: standby 001: LOAD DIAG 010: SLEEP 011: HI-Z 100: PLAY 101: FAULT 110: AUTOREC

DEVICE STATE REPORT 34 Register (8'h73) [Reset = 0x00]

DEVICE STATE REPORT 34 Register (8'h73) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:4]	CH3 STATE REPORT	RO	0x0	000: standby 001: LOAD DIAG 010: SLEEP 011: HI-Z 100: PLAY 101: FAULT 110: AUTOREC
[3:0]	CH4 STATE REPORT	RO	0x0	000: standby 001: LOAD DIAG 010: SLEEP

				011: HI-Z 100: PLAY 101: FAULT 110: AUTOREC
--	--	--	--	--

PVDD SENSE Register (8'h74) [Reset = 0x00]

PVDD SENSE Register (8'h74) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:0]	PVDD SENSE	RO	0x0	Sensed PVDD voltage = Bit value x 0.19 0000 0000: 0V 0000 0001: 0.19V ... 0100 1100: 14.44V ... 1111 1111: 48.45V

TEMP SENSOR Register (8'h75) [Reset = 0x00]

TEMP SENSOR Register (8'h75) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:0]	TEMP SENSOR	RO	0x0	Temp in Kelvin K = Bit value x 2.93 Temp in Celsius = Temp in Kelvin - 273.15

FAULT TFB PVDD ACTIVE Register (8'h7A) [Reset = 0x00]

FAULT TFB PVDD ACTIVE Register (8'h7A) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RO	0x0	RESERVED
[6]	RESERVED	RO	0x0	RESERVED
[5]	RESERVED	RO	0x0	RESERVED
[4]	RESERVED	RO	0x0	RESERVED
[3]	TGFB CH4	RO	0x0	Thermal foldback status report Channel 4 0: Thermal foldback not active 1: Thermal foldback active
[2]	TGFB CH3	RO	0x0	Thermal foldback status report Channel 3 0: Thermal foldback not active 1: Thermal foldback active
[1]	TGFB CH2	RO	0x0	Thermal foldback status report Channel 2 0: Thermal foldback not active 1: Thermal foldback active
[0]	TGFB CH1	RO	0x0	Thermal foldback status report Channel 1 0: Thermal foldback not active 1: Thermal foldback active

FAULT TFB PVDD ACTIVE LATCH Register (8'h7B) [Reset = 0x00]

FAULT TFB PVDD ACTIVE LATCH Register (8'h7B) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RO	0x0	RESERVED
[6]	RESERVED	RO	0x0	RESERVED
[5]	RESERVED	RO	0x0	RESERVED
[4]	RESERVED	RO	0x0	RESERVED
[3]	TGFB CH4 STORED	RO	0x0	Thermal foldback stored event stored for Channel 4 0: No Thermal foldback event stored 1: Thermal foldback event stored
[2]	TGFB CH3 STORED	RO	0x0	Thermal foldback stored event stored for Channel 3 0: No Thermal foldback event stored 1: Thermal foldback event stored
[1]	TGFB CH2 STORED	RO	0x0	Thermal foldback stored event stored for Channel 2 0: No Thermal foldback event stored 1: Thermal foldback event stored
[0]	TGFB CH1 STORED	RO	0x0	Thermal foldback stored event stored for Channel 1 0: No Thermal foldback event stored 1: Thermal foldback event stored

BOOK NUM Register (8'h7F) [Reset = 0x00]

BOOK NUM Register (8'h7F) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:0]	REG BOOK NUM	RW	0x0	switch book need first change page to 0(write 0x00 to 0x00)

POWER FAULT STATUS Register (8'h80) [Reset = 0x00]

POWER FAULT STATUS Register (8'h80) [Reset = 0x00]				
Bit	Field	Type	Reset	Description

[7]	GLOBAL WARNING	RO	0x0	0: No warning 1: If any warning active in device, regardless of warning signal configuration
[6]	GLOBAL FAULT	RO	0x0	0: No fault 1: If any fault active in device, regardless of fault signal configuration
[5]	RESERVED	RO	0x0	Reserved
[4]	DVDD UV	RO	0x0	0: DVDD supply voltage is not below UV threshold 1: DVDD supply voltage is below UV threshold
[3]	PVDD OV	RO	0x0	0: PVDD supply voltage is not above OV threshold 1: PVDD supply voltage is above OV threshold
[2]	VBAT OV	RO	0x0	0: VBAT supply voltage is not above OV threshold 1: VBAT supply voltage is above OV threshold
[1]	PVDD UV	RO	0x0	0: PVDD supply voltage is not below UV threshold 1: PVDD supply voltage is below UV threshold
[0]	VBAT UV	RO	0x0	0: VBAT supply voltage is not below UV threshold 1: VBAT supply voltage is below UV threshold

OTSD CS FAULT STATUS Register (8'h81) [Reset = 0x00]

OTSD CS FAULT STATUS Register (8'h81) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	WARNING SIGNAL	RO	0x0	0: Internal warning signal is non-active 1: Internal warning signal is active (configured by warning signal configuration registers)
[6]	FAULT SIGNAL	RO	0x0	0: Internal fault signal is non-active 1: Internal fault signal is active (configured by fault signal configuration registers)
[5]	RESERVED	RO	0x0	Reserved
[4]	GLOBAL OTSD	RO	0x0	0: Global die temperature is not above OTSD threshold 1: Global die temperature is above OTSD threshold
[3]	CH1 OTSD	RO	0x0	0: Channel 1 temperature is not above OTSD threshold 1: Channel 1 temperature is above OTSD threshold
[2]	CH2 OTSD	RO	0x0	0: Channel 2 temperature is not above OTSD threshold 1: Channel 2 temperature is above OTSD threshold
[1]	CH3 OTSD	RO	0x0	0: Channel 3 temperature is not above OTSD threshold 1: Channel 3 temperature is above OTSD threshold
[0]	CH4 OTSD	RO	0x0	0: Channel 4 temperature is not above OTSD threshold 1: Channel 4 temperature is above OTSD threshold

OTW TGFB WARN STATUS Register (8'h82) [Reset = 0x00]

OTW TGFB WARN STATUS Register (8'h82) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:5]	RESERVED	RO	0x0	Reserved
[4]	GLOBAL OTW	RO	0x0	0: Global die temperature is not above OTW threshold 1: Global die temperature is above OTW threshold
[3]	CH1 OTW	RO	0x0	0: Channel 1 temperature is not above OTW threshold 1: Channel 1 temperature is above OTW threshold
[2]	CH2 OTW	RO	0x0	0: Channel 2 temperature is not above OTW threshold 1: Channel 2 temperature is above OTW threshold
[1]	CH3 OTW	RO	0x0	0: Channel 3 temperature is not above OTW threshold 1: Channel 3 temperature is above OTW threshold
[0]	CH4 OTW	RO	0x0	0: Channel 4 temperature is not above OTW threshold 1: Channel 4 temperature is above OTW threshold

CH CLIPDET WARN STATUS Register (8'h83) [Reset = 0x00]

CH CLIPDET WARN STATUS Register (8'h83) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:4]	RESERVED	RO	0x0	Reserved
[3]	CH1 CLIP	RO	0x0	0: Channel 1 clipping is not present or not above clip detect threshold 1: Channel 1 clipping is above clip detect threshold
[2]	CH2 CLIP	RO	0x0	0: Channel 2 clipping is not present or not above clip detect threshold 1: Channel 2 clipping is above clip detect threshold
[1]	CH3 CLIP	RO	0x0	0: Channel 3 clipping is not present or not above clip detect threshold 1: Channel 3 clipping is above clip detect threshold

[0]	CH4 CLIP	RO	0x0	0: Channel 4 clipping is not present or not above clip detect threshold 1: Channel 4 clipping is above clip detect threshold
-----	----------	----	-----	---

POWER FAULT MEM Register (8'h86) [Reset = 0x00]

POWER FAULT MEM Register (8'h86) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	DVDD POR STORED	RO	0x0	0: No DVDD power on reset event stored 1: DVDD power on reset event stored
[6]	RESERVED	RO	0x0	RESERVED
[5]	RESERVED	RO	0x0	RESERVED
[4]	DVDD UV STORED	RO	0x0	0: No DVDD undervoltage event stored 1: DVDD under voltage event detected and stored
[3]	PVDD OV STORED	RO	0x0	0: No PVDD overvoltage event stored 1: PVDD over voltage event stored
[2]	VBAT OV STORED	RO	0x0	0: No VBAT overvoltage event stored 1: VBAT over voltage event stored
[1]	PVDD UV STORED	RO	0x0	0: No PVDD undervoltage event stored 1: PVDD under voltage event detected and stored
[0]	VBAT UV STORED	RO	0x0	0: No VBAT undervoltage event stored 1: VBAT under voltage event stored

OTSD CS FAULT MEM Register (8'h87) [Reset = 0x00]

OTSD CS FAULT MEM Register (8'h87) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:6]	RESERVED	RO	0x0	RESERVED
[5]	RESERVED	RO	0x0	RESERVED
[4]	GLOBAL OTSD STORED	RO	0x0	0: No global over temperature shutdown event stored 1: Global over temperature shutdown event stored
[3]	CH1 OTSD STORED	RO	0x0	0: No channel 1 over temperature shutdown event stored 1: Channel 1 over temperature shutdown event stored
[2]	CH2 OTSD STORED	RO	0x0	0: No channel 2 over temperature shutdown event stored 1: Channel 2 over temperature shutdown event stored
[1]	CH3 OTSD STORED	RO	0x0	0: No channel 3 over temperature shutdown event stored 1: Channel 3 over temperature shutdown event stored
[0]	CH4 OTSD STORED	RO	0x0	0: No channel 4 over temperature shutdown event stored 1: Channel 4 over temperature shutdown event stored

OTW TGFB WARN MEM Register (8'h88) [Reset = 0x00]

OTW TGFB WARN MEM Register (8'h88) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:5]	RESERVED	RO	0x0	Reserved
[4]	GLOBAL OTW STORED	RO	0x0	0: No global over temperature warning event stored 1: Global over temperature warning event stored
[3]	CH1 OTW STORED	RO	0x0	0: No channel 1 over temperature warning event stored 1: Channel 1 over temperature warning event stored
[2]	CH2 OTW STORED	RO	0x0	0: No channel 2 over temperature warning event stored 1: Channel 2 over temperature warning event stored
[1]	CH3 OTW STORED	RO	0x0	0: No channel 3 over temperature warning event stored 1: Channel 3 over temperature warning event stored
[0]	CH4 OTW STORED	RO	0x0	0: No channel 4 over temperature warning event stored 1: Channel 4 over temperature warning event stored

CH CLIPDET WARN MEM Register (8'h89) [Reset = 0x00]

CH CLIPDET WARN MEM Register (8'h89) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:4]	RESERVED	RO	0x0	RESERVED
[3]	CH1 CLIP STORED	RO	0x0	0: No channel 1 clipping event stored 1: Channel 1 clipping event stored
[2]	CH2 CLIP STORED	RO	0x0	0: No channel 2 clipping event stored 1: Channel 2 clipping event stored
[1]	CH3 CLIP STORED	RO	0x0	0: No channel 3 clipping event stored 1: Channel 3 clipping event stored
[0]	CH4 CLIP STORED	RO	0x0	0: No channel 4 clipping event stored 1: Channel 4 clipping event stored

CLOCK FAULT MEM Register (8'h8A) [Reset = 0x00]

CLOCK FAULT MEM Register (8'h8A) [Reset = 0x00]				
Bit	Field	Type	Reset	Description

[7:2]	RESERVED89	RO	0x0	Reserved
[1]	I2C WD FAULT STORED	RO	0x0	0: No I2C Watchdog event stored 1: I2C Watchdog event stored
[0]	CLOCK FAULT STORED	RO	0x0	0: No Clock Error event stored 1: Clock Error event stored Note: Before I2S/TDM clock ready, set device to play mode, this error will not be reported. After device goes to normal play mode, this bit is valid

CH OC DC FAULT MEM Register (8'h8E) [Reset = 0x00]

CH OC DC FAULT MEM Register (8'h8E) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	CH1 OC FAULT STORED	RO	0x0	0: No channel 1 overcurrent fault event stored 1: Channel 1 overcurrent fault event stored
[6]	CH2 OC FAULT STORED	RO	0x0	0: No channel 2 overcurrent fault event stored 1: channel 2 overcurrent fault event stored
[5]	CH3 OC FAULT STORED	RO	0x0	0: No channel 3 overcurrent fault event stored 1: Channel 3 overcurrent fault event stored
[4]	CH4 OC FAULT STORED	RO	0x0	0: No channel 4 overcurrent fault event stored 1: Channel 4 overcurrent fault event stored
[3]	CH1 DC FAULT STORED	RO	0x0	0: No channel 1 DC fault event stored 1: Channel 1 DC fault event stored
[2]	CH2 DC FAULT STORED	RO	0x0	0: No channel 2 DC fault event stored 1: Channel 2 DC fault event stored
[1]	CH3 DC FAULT STORED	RO	0x0	0: No channel 3 DC fault event stored 1: Channel 3 DC fault event stored
[0]	CH4 DC FAULT STORED	RO	0x0	0: No channel 4 DC fault event stored 1: Channel 4 DC fault event stored

FAULT CONFIG Register (8'h8F) [Reset = 0x00]

FAULT CONFIG Register (8'h8F) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:2]	RESERVED	RW	0x0	RESERVED
[1]	OTSD AUTO REC	RW	0x0	0: Overtemperature Shutdown does not auto-recover 1: Enable Overtemperature Shutdown auto-recovery
[0]	RESERVED	RW	0x0	RESERVED

CLIP DETECT Register (8'h93) [Reset = 0x40]

CLIP DETECT Register (8'h93) [Reset = 0x40]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6]	CLIP DET EN	RW	0x1	0: Clip Detect is disabled 1: Clip Detect is enabled

FAULT SOURCE EN5 Register (8'h94) [Reset = 0x00]

FAULT SOURCE EN5 Register (8'h94) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	CLK FAULT GPIO	RW	0x0	0: Non-Latched Clock error events are routed to FAULT and WARN 1: Non-Latched Clock error events are routed to FAULT and WARN
[6]	CLK LATCH FAULT GPIO	RW	0x0	0: Latched Clock error events are not routed to FAULT and WARN 1: Latched Clock error events are routed to FAULT and WARN
[4]	RTL DG LATCH FAULT GPIO	RW	0x0	0: Latched Real-time load diagnostic events are not routed to FAULT 1: Latched Real-time load diagnostic events are routed to FAULT
[3]	RESERVED	RW	0x0	Reserved
[2]	RESERVED	RW	0x0	Reserved
[1]	CLIP WARN GPIO	RW	0x0	0: Non-latched Clip Detect events are not routed to WARN 1: Non-latched Clip Detect events are routed to WARN
[0]	RTL DG LATCH WARN GPIO	RW	0x0	0: Latched Real-time load diagnostic events are not routed to WARN 1: Latched Real-time load diagnostic events are routed to WARN

GP OUTPUT SEL1 Register (8'h95) [Reset = 0x00]

GP OUTPUT SEL1 Register (8'h95) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:6]	RESERVED	RW	0x0	RESERVED
[5]	RESERVED	RW	0x0	RESERVED
[4:0]	REG GPO1 SEL	RW	0x0	GPIO_1 pin output function 0x00: LOW 0x02: Auto Mute All Channels 0x03: Auto Mute Channel 4 0x04: Auto Mute Channel 3 0x05: Auto Mute Channel 2 0x06: Auto Mute Channel 1 0x08: SDOUT2 0x09: SDOUT1 0x0A: WARN 0x0B: FAULT 0x0E: Clock sync out to secondary devices (for example DCDC) 0x0F: Invalid Clock 0x10: Class-H Control 0x13: HIGH All other values are RESERVED

GP OUTPUT SEL2 Register (8'h96) [Reset = 0x00]

GP OUTPUT SEL2 Register (8'h96) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:6]	RESERVED	RW	0x0	RESERVED
[5]	RESERVED	RW	0x0	RESERVED
[4:0]	REG GPO2 SEL	RW	0x0	GPIO_2 pin output function 0x00: LOW 0x02: Auto Mute All Channels 0x03: Auto Mute Channel 4 0x04: Auto Mute Channel 3 0x05: Auto Mute Channel 2 0x06: Auto Mute Channel 1 0x08: SDOUT2 0x09: SDOUT1 0x0A: WARN 0x0B: FAULT 0x0E: Clock sync out to secondary devices (for example DCDC) 0x0F: Invalid Clock 0x10: Class-H Control 0x13: HIGH All other values are RESERVED

GP OUTPUT SEL3 Register (8'h97) [Reset = 0x10]

GP OUTPUT SEL3 Register (8'h97) [Reset = 0x10]				
Bit	Field	Type	Reset	Description
[7:6]	RESERVED	RW	0x0	RESERVED
[5]	RESERVED	RW	0x0	RESERVED
[4:0]	REG GPO3 SEL	RW	0x10	GPIO_3 pin output function 0x00: LOW 0x02: Auto Mute All Channels 0x03: Auto Mute Channel 4 0x04: Auto Mute Channel 3 0x05: Auto Mute Channel 2 0x06: Auto Mute Channel 1 0x08: SDOUT2 0x09: SDOUT1 0x0A: WARN 0x0B: FAULT 0x0E: Clock sync out to secondary devices (for example DCDC) 0x0F: Invalid Clock 0x10: Class-H Control 0x13: HIGH All other values are RESERVED

GP INPUT SEL3 Register (8'h9B) [Reset = 0x00]

GP INPUT SEL3 Register (8'h9B) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:4]	REG GPI SDZ SEL	RW	0x0	GPIO Source for DEEP SLEEP state Con 图 s the GPIO pin to set the device into DEEP SLEEP state 000: N/A 001: GPIO_1 010: GPIO_2 011: GPIO_3 others: Reserved
[3]	RESERVED	RW	0x0	RESERVED
[2:0]	REG GPI HIZ SEL	RW	0x0	GPIO Source for Hi-Z state Con 图 s the GPIO pin to set the device channels into Hi-Z state 000: N/A

				001: GPIO_1 010: GPIO_2 011: GPIO_3 others: Reserved
--	--	--	--	---

GP INPUT SEL4 Register (8'h9C) [Reset = 0x00]

GP INPUT SEL4 Register (8'h9C) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:4]	REG GPI PLAY SEL	RW	0x0	GPIO Source for PLAY state Con 图 s the GPIO pin to set the device channels into PLAY state 000: N/A 001: GPIO_1 010: GPIO_2 011: GPIO_3 others: Reserved
[3]	RESERVED	RW	0x0	RESERVED
[2:0]	REG GPI SLEEP SEL	RW	0x0	GPIO Source for SLEEP state Con 图 s the GPIO pin to set the device into SLEEP state 000: N/A 001: GPIO_1 010: GPIO_2 011: GPIO_3 others: Reserved

GP INPUT SEL5 Register (8'h9D) [Reset = 0x00]

GP INPUT SEL5 Register (8'h9D) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:4]	RESERVED	RW	0x0	RESERVED
[3]	RESERVED	RW	0x0	RESERVED
[2:0]	REG GPI MUTEZ SEL	RW	0x0	GPIO Source for MUTE Con 图 s the GPIO pin to control MUTE for all channels 000: N/A 001: GPIO_1 010: GPIO_2 011: GPIO_3 others: Reserved

GP INPUT SEL7 Register (8'h9F) [Reset = 0x00]

GP INPUT SEL7 Register (8'h9F) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:4]	REG GPI SDIN2 SEL	RW	0x0	GPIO Source for SDIN2 Con 图 s the GPIO pin become SDIN2, TDM data input and audio I2S data input for channels 3 and 4 000: N/A 001: GPIO_1 010: GPIO_2 011: GPIO_3 others: Reserved
[3:0]	RESERVED	RW	0x0	RESERVED

GPIO CONFIG Register (8'hA0) [Reset = 0x22]

GPIO CONFIG Register (8'hA0) [Reset = 0x22]				
Bit	Field	Type	Reset	Description
[7]	GPIO 1 IO	RW	0x0	0: Set GPIO_1 as input 1: Set GPIO_1 as output
[6]	GPIO 2 IO	RW	0x0	0: Set GPIO_2 as input 1: Set GPIO_2 as output
[5]	GPIO 3 IO	RW	0x1	0: Set GPIO_3 as input 1: Set GPIO_3 as output
[4]	RESERVED	RW	0x0	RESERVED
[3]	GPO1 OD	RW	0x0	Set GPIO_1 as open drain. This bit only applies to GPO functions with Output buffer mode and has no effect on functions that use Open Drain mode by default

				0: Output Buffer mode 1: Open drain mode
[2]	GPO2 OD	RW	0x0	Set GPIO_2 as open drain. This bit only applies to GPO functions with Output buffer mode and has no effect on functions that use Open Drain mode by default 0: Output Buffer mode 1: Open drain mode
[1]	GPO3 OD	RW	0x1	Set GPIO_3 as open drain. This bit only applies to GPO functions with Output buffer mode and has no effect on functions that use Open Drain mode by default 0: Output Buffer mode 1: Open drain mode

GP OUTPUT INV Register (8'hA1) [Reset = 0x00]

GP OUTPUT INV Register (8'hA1) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	GPO1 INV	RW	0x0	0: GPIO_1 Output signal is non-inverted 1: GPIO_1 Output signal is inverted
[6]	GPO2 INV	RW	0x0	0: GPIO_2 Output signal is non-inverted 1: GPIO_2 Output signal is inverted
[5]	GPO3 INV	RW	0x0	0: GPIO_3 Output signal is non-inverted 1: GPIO_3 Output signal is inverted
[4:1]	RESERVED	RW	0x0	Reserved
[0]	GPO PU DIS	RW	0x0	0: Enable pull-up of GP outputs in open drain 1: Disable pull-up of GP outputs in open drain

ASI CTRL19 Register (8'hA4) [Reset = 0x00]

ASI CTRL19 Register (8'hA4) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:6]	TDM SHIFT	RW	0x0	select tdm_shift_mode 2'b00: TDM mode, channel offset+length don't exceed FS/SCLK 2'b01: TDM shift mode 1, Audio channel will be shifted 2'b10: TDM shift mode 2, Low latency audio channel will be shifted 2'b11: Reserved
[5:0]	RESERVED	RW	0x0	RESERVED

HDR CTRL2 Register (8'hAA) [Reset = 0x2E]

HDR CTRL2 Register (8'hAA) [Reset = 0x2E]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6]	RESERVED	RW	0x0	RESERVED
[5]	HRB EN	RW	0x1	0: HDR disabled 1: HDR enabled(15.5db)
[4:0]	RESERVED	RW	0xE	RESERVED

DC LDG CTRL 1 Register (8'hB0) [Reset = 0x00]

DC LDG CTRL 1 Register (8'hB0) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	LDG ABORT	RW	0x0	0: Normal operation 1: Abort DC load diagnostic
[2]	RESERVED	RW	0x0	RESERVED
[0]	LDG BYPASS	RW	0x0	0: Automatic DC diagnostic after a channel fault occurs in Hi-Z or PLAY state 1: DC diagnostic will not run automatically

DC LDG RPRT CH12 Register (8'hC0) [Reset = 0x00]

DC LDG RPRT CH12 Register (8'hC0) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	CH1 S2G	RO	0x0	0: No short-to-GND detected on channel 1 1: Short-to-GND detected on channel 1
[6]	CH1 S2P	RO	0x0	0: No short-to-power detected on channel 1 1: Short-to-power detected on channel 1
[5]	CH1 OL	RO	0x0	0: No open load detected on channel 1 1: Open load detected on channel 1
[4]	CH1 SL	RO	0x0	0: No shorted load detected on channel 1 1: Shorted load detected on channel 1
[3]	CH2 S2G	RO	0x0	0: No short-to-GND detected on channel 2 1: Short-to-GND detected on channel 2

[2]	CH2 S2P	RO	0x0	0: No short-to-power detected on channel 2 1: Short-to-power detected on channel 2
[1]	CH2 OL	RO	0x0	0: No open load detected on channel 2 1: Open load detected on channel 2
[0]	CH2 SL	RO	0x0	0: No shorted load detected on channel 2 1: Shorted load detected on channel 2

DC LDG RPRT CH34 Register (8'hC1) [Reset = 0x00]

DC LDG RPRT CH34 Register (8'hC1) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	CH3 S2G	RO	0x0	0: No short-to-GND detected on channel 3 1: Short-to-GND detected on channel 3
[6]	CH3 S2P	RO	0x0	0: No short-to-power detected on channel 3 1: Short-to-power detected on channel 3
[5]	CH3 OL	RO	0x0	0: No open load detected on channel 3 1: Open load detected on channel 3
[4]	CH3 SL	RO	0x0	0: No shorted load detected on channel 3 1: Shorted load detected on channel 3
[3]	CH4 S2G	RO	0x0	0: No short-to-GND detected on channel 4 1: Short-to-GND detected on channel 4
[2]	CH4 S2P	RO	0x0	0: No short-to-power detected on channel 4 1: Short-to-power detected on channel 4
[1]	CH4 OL	RO	0x0	0: No open load detected on channel 4 1: Open load detected on channel 4
[0]	CH4 SL	RO	0x0	0: No shorted load detected on channel 4 1: Shorted load detected on channel 4

DC LDG STATE RPRT Register (8'hC2) [Reset = 0x00]

DC LDG STATE RPRT Register (8'hC2) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:4]	RESERVED	RO	0x0	
[3]	CH1 DC LDG OK	RO	0x0	0: DC Load Diagnostic did not complete without faults on channel 1 1: DC Load Diagnostic completed without faults on channel 1
[2]	CH2 DC LDG OK	RO	0x0	0: DC Load Diagnostic did not complete without faults on channel 2 1: DC Load Diagnostic completed without faults on channel 2
[1]	CH3 DC LDG OK	RO	0x0	0: DC Load Diagnostic did not complete without faults on channel 3 1: DC Load Diagnostic completed without faults on channel 3
[0]	CH4 DC LDG OK	RO	0x0	0: DC Load Diagnostic did not complete without faults on channel 4 1: DC Load Diagnostic completed without faults on channel 4

OT CONFIG1 Register (8'hE0) [Reset = 0x00]

OT CONFIG1 Register (8'hE0) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:4]	OTW BYP CH1	RW	0x0	Bypass OT Warning level1/2/3 from CH1 Bit 4: 0: Enable CH1 level1(121C) OT warning Bit 5: 0: Enable CH1 level2(130C) OT warning Bit 6: 0: Enable CH1 level3(140C) OT warning
[3]	RESERVED	RW	0x0	RESERVED
[2:0]	OTW BYP CH2	RW	0x0	Bypass OT Warning level1/2/3 from CH2 Bit 0: 0: Enable CH2 level1(121C) OT warning Bit 1: 0: Enable CH2 level2(130C) OT warning Bit 2: 0: Enable CH2 level3(140C) OT warning

OT CONFIG2 Register (8'hE1) [Reset = 0x00]

OT CONFIG2 Register (8'hE1) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:4]	OTW BYP CH3	RW	0x0	Bypass OT Warning level1/2/3 from CH3 Bit 4: 0: Enable CH3 level1(121C) OT warning Bit 5: 0: Enable CH3 level2(130C) OT warning Bit 6: 0: Enable CH3 level3(140C) OT warning

[3]	RESERVED	RW	0x0	RESERVED
[2:0]	OTW BYP CH4	RW	0x0	Bypass OT Warning level1/2/3 from CH4 Bit 0: 0: Enable CH4 level1(121C) OT warning Bit 1: 0: Enable CH4 level2(130C) OT warning Bit 2: 0: Enable CH4 level3(140C) OT warning

OT CONFIG3 Register (8'hE2) [Reset = 0x11]

OT CONFIG3 Register (8'hE2) [Reset = 0x11]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:4]	OTW SEL CH1	RW	0x1	Select OT Warning level1/2/3 from CH1 report to register 001: OT Warning Level 1(121C) from CH1 report to register 010: OT Warning Level 2(130C) from CH1 report to register 100: OT Warning Level 3(140C) from CH1 report to register
[3]	RESERVED	RW	0x0	RESERVED
[2:0]	OTW SEL CH2	RW	0x1	Select OT Warning level1/2/3 from CH2 report to register 001: OT Warning Level 1(121C) from CH2 report to register 010: OT Warning Level 2(130C) from CH2 report to register 100: OT Warning Level 3(140C) from CH2 report to register

OT CONFIG4 Register (8'hE3) [Reset = 0x11]

OT CONFIG4 Register (8'hE3) [Reset = 0x11]				
Bit	Field	Type	Reset	Description
[7]	RESERVED	RW	0x0	RESERVED
[6:4]	OTW SEL CH3	RW	0x1	Select OT Warning level1/2/3 from CH3 report to register 001: OT Warning Level 1(121C) from CH3 report to register 010: OT Warning Level 2(130C) from CH3 report to register 100: OT Warning Level 3(140C) from CH3 report to register
[3]	RESERVED	RW	0x0	RESERVED
[2:0]	OTW SEL CH4	RW	0x1	Select OT Warning level1/2/3 from CH4 report to register 001: OT Warning Level 1(121C) from CH4 report to register 010: OT Warning Level 2(130C) from CH4 report to register 100: OT Warning Level 3(140C) from CH4 report to register

HDR 0 ADDR Register (8'h90) [Reset = 0x9F]

HDR 0 ADDR Register (8'h90) [Reset = 0x9F]				
Bit	Field	Type	Reset	Description
[4:0]	HDR LIM	RW	0x1F	Note: Must go to page1, REG 8'h00 write 8'h01 HDR gain adjust limit step : 0.5db example : HDR_lim = 0xA, the HDR digital gain will increase 5db, analog gain will decrease 5db

HDR 2 ADDR Register (8'h92) [Reset = 0x81]

HDR 2 ADDR Register (8'h92) [Reset = 0x81]				
Bit	Field	Type	Reset	Description
[7:4]	HDR FRAME COUNT H	RW	0x8	Note: Must go to page1, REG 8'h00 write 8'h01 HDR frame length [11:8] sysclk period frame time = 80* hdr_frame_count (ns)
[3:0]	HDR T1 COUNT H	RW	0x1	Note: Must go to page1, REG 8'h00 write 8'h01 HDR increase digital gain/decrease ana gain wait time hdr_t1_count[11:8] T1 = frame_time * hdr_t1_count*32

HDR 3 ADDR Register (8'h93) [Reset = 0x00]

HDR 3 ADDR Register (8'h93) [Reset = 0x00]				
Bit	Field	Type	Reset	Description
[7:0]	HDR FRAM COUNT L	RW	0x0	Note: Must go to page1, REG 8'h00 write 8'h01 HDR frame length [7:0] sysclk period frame time = 80* hdr_frame_count (ns)

HDR 4 ADDR Register (8'h94) [Reset = 0x00]

HDR 4 ADDR Register (8'h94) [Reset = 0x00]				
Bit	Field	Type	Reset	Description

[7:0]	HDR T1 COUNT L	RW	0x0	Note: Must go to page1, REG 8'h00 write 8'h01 HDR increase digital gain/decrease ana gain wait time hdr_t1_count[7:0] T1 = frame_time * hdr_t1_count*32
-------	----------------	----	-----	--

HDR 6 ADDR Register (8'h96) [Reset = 0x08]

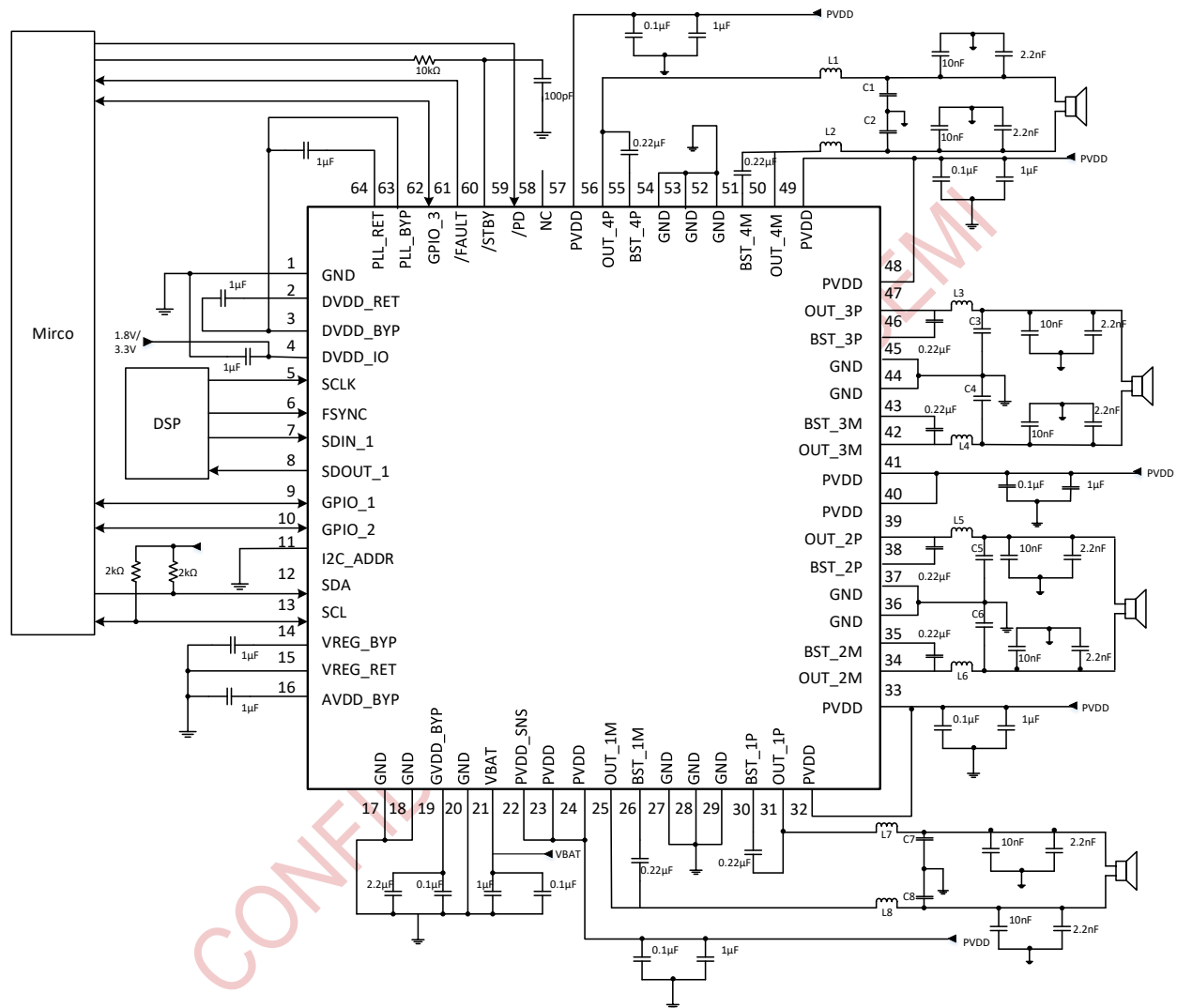
HDR 6 ADDR Register (8'h96) [Reset = 0x08]				
Bit	Field	Type	Reset	Description
[7:4]	HDR T2 COUNT	RW	0x0	Note: Must go to page1, REG 8'h00 write 8'h01 0 4 1 8 2 12 3 16 4 24 5 32 6 40 7 48 8 64 9 80 A 96 B 112 C 128 D 160 E 192 F 256
[3:2]	HDR UT REG	RW	0x2	Note: Must go to page1, REG 8'h00 write 8'h01 upper_threshold 00: -54db 01: -36db 10: -72db 11: -102db
[1:0]	HDR HYST REG	RW	0x0	Note: Must go to page1, REG 8'h00 write 8'h01 HDR_ut_reg=2'b00 00: -54.5db 01: -55db 10: -56.5db 11: -58db HDR_ut_reg=2'b01 00: -36.5db 01: -37db 10: -38.5db 11: -40db HDR_ut_reg=2'b10 00: -72.5db 01: -73db 10: -74.5db 11: -76db HDR_ut_reg=2'b11 00: -102.5db 01: -102.5db 10: -102.5db 11: -102.5db

13. 典型应用

13.1. BTL 应用

图 13.1-1 展示了一个典型 4 通道解决方案的原理图。

图 13.1-1 典型 4 通道 BTL 应用原理图



13.1.1. 设计要求

CLD6255 通常用于高功率外部音频放大器应用，这些应用依赖升压转换器来提供必要的高电压电源，以满足音频输出功率要求。硬件设计过程中的关键考虑因素包括优化类-D 放大器的 PWM 频率，以实现最大效率。一旦设定 PWM 频率，它就成为计算 LC 滤波器组件适当值的基础。

13.1.1.1. Communication 交流

与设备的通信完全通过 I2C 协议实现。系统控制器，作为 I2C 主设备，通过 SDA（串行数据）和 SCL（串行时钟）线与设备建立通信。需要注意的是，设备本身无法生成 I2C 时钟信号或发起通信事务；它需要一个主设备来管理这些功能。设备设计为最高时钟频率为 400kHz。

如果多个 CLD6255 设备连接到同一 I2C 总线上，每个设备必须被分配一个唯一的 I2C 地址，以防止通信冲突。I2C 总线可以容纳多达八个 CLD6255 设备，每个设备都有其独特的地址，确保它们之间正确且高效的通信。

13.1.2. 详细设计流程

13.1.2.1. 硬件设计

13.1.2.1.1. 数字音频输入

CLD6255 音频放大器支持四种不同的数字输入格式，分别是：I2S、左对齐、右对齐和 TDM/DSP 模式。根据所选格式，设备可以支持 16 位、20 位、24 位和 32 位数据。支持的频率包括 48kHz、96kHz 和 192kHz。

13.1.2.1.2. 电源去耦

电源去耦在电路设计中扮演着几个关键角色。大容量的电解电容器负责减轻由音频频率引起的 PVDD 电压纹波。连接到每个 PVDD 引脚组的 1 μ F MLCC（多层陶瓷电容器）旨在减少 PWM 开关频率下的 PVDD 电压纹波，而 100nF 电容器则专门用于减少电磁干扰（EMI）。

电解电容器的大小取决于所使用的升压转换器的调节能力。当使用带有较长布线的电池时，可能需要更大的电容器值来减少音频频段内的电压纹波，从而确保符合输出功率规格。

13.1.2.1.3. 自举

自举电容器负责为上桥 N 通道 FET 提供栅极驱动电压。选择合适尺寸的这些电容器以满足系统规格至关重要。如果电容器尺寸不当，它们可能会出现电压下降，特别是在特定条件下。这发生在 PWM 占空比接近 100% 时，尤其是持续的低频信号，可能导致自举电压下降。

在系统设计用于处理低于 30Hz 的低音炮频率的情况下，可能需要增加自举电容器的值。这种调整有助于确保 FET 的栅极驱动电压充足，特别是在低频操作的苛刻条件下。

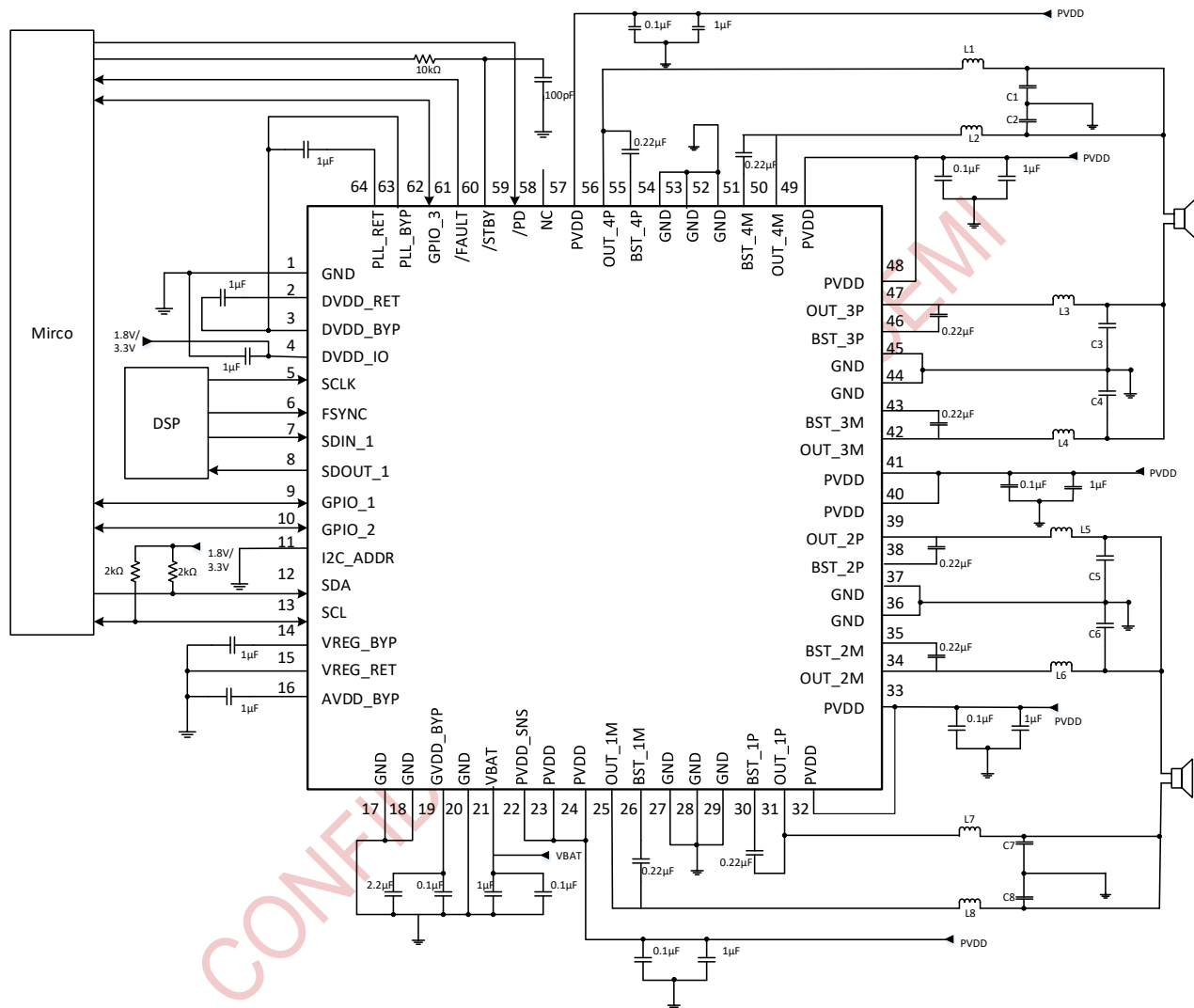
13.1.2.1.4. 重建 LC 滤波器

LC 滤波器的电感和电容值的选择受到 PWM 频率的影响。CLD6255 提供 432kHz 的 PWM 频率。为了获得更好的音频性能和更高的功率，建议使用 10 μ H 的电感和 1 μ F 的电容。

13.2. 并联 BTL 应用

图 13.2-1 展示了一个使用并联 BTL 模式的典型 2 通道解决方案的原理图。在 PBTL 模式下，偶数编号通道的连接输出，例如 OUT_1P/M、OUT_3P/M，成为通道的正输出，而奇数编号通道的连接输出，如 OUT_2P/M、OUT_4P/M，成为通道的负输出。

图 13.2-1 典型 2 通道并联 BTL 应用原理图



13.2.1. 设计要求

CLD6255 在 PBTL 模式下的典型应用是使用升压转换器为 2 欧姆扬声器提供高功率的高电流外部音频放大器。硬件设计的主要标准将是设置类-D 放大器的 PWM 频率以实现最佳效率。然后使用这个频率来确定 LC 滤波器的值。

13.2.2. 详细设计流程

作为起点，参考 BTL 应用的部分。PBTL 模式需要对输出级的原理图进行更改，如图 15.2-1 所示。其他必需的更改包括正确设置 I2C 寄存器以及选择每个输出上使用的帧或通道。更多详情请参阅并联 BTL 部分。

14. 版图

14.1. 电气连接：散热垫和散热器

对于 PHD 封装，连接到设备散热垫的散热器应连接到地（GND）。散热片必须不能连接到任何其他电气节点。

14.2. 通用指南

LC 滤波器中电容器的接地连接，标记为 A，提供了一条直接返回设备的路径。此外，每个通道的接地回路是共享的。这种直接连接有助于增强对共模 EMI 的抑制。这些连接必须位于与 CLD6255 相同的 PCB 层上，以确保最佳的 EMI 抑制效果。

- 为 PVDD 电源供电的 MLCC 电容器应尽可能靠近 PVDD 引脚放置，并提供足够的 PVDD 和 GND 过孔。
- 自举 MLCC 电容器应位于芯片的底层，靠近 BST 引脚。
- LC 滤波器的输出电容器应放置在与芯片相同的层上，并与芯片的 GND 引脚一起布线，形成一个小电流回路。
- 在 LC 滤波器下方的层上应放置一个完整的 GND 平面；该层上不应有其他平面或走线。
- 对于每对输出引脚，有一个 GND 引脚。在芯片层上，应提供一个完整的 GND 平面，以布线一个小电流回路。
- 放大器和主板应共享同一个 GND 网络。

14.3. 版图示例

图 14.3-1 表层版图

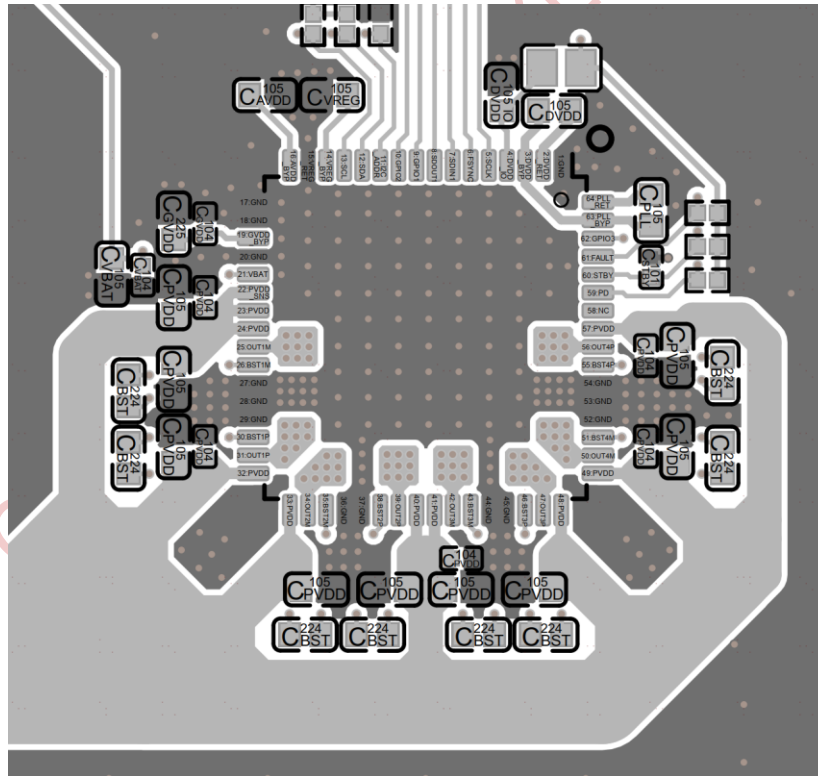
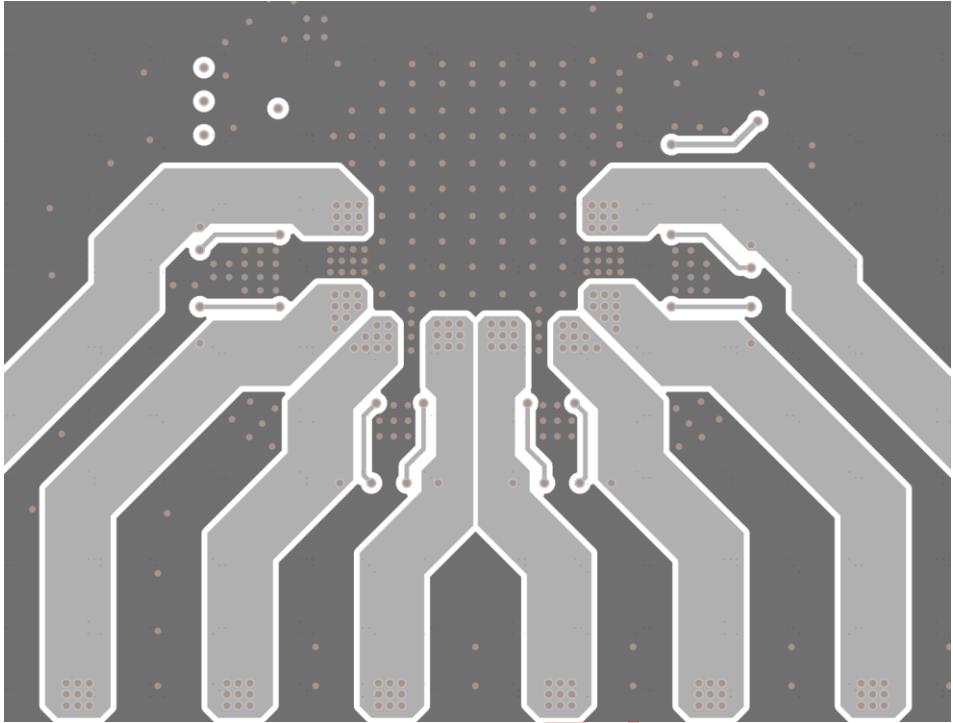


图 14.3-2 底层版图



CONFIDENTIAL@XLINKSEMI

15. 封装信息

图 15-1 LQFP 64 引脚向上封装外形图

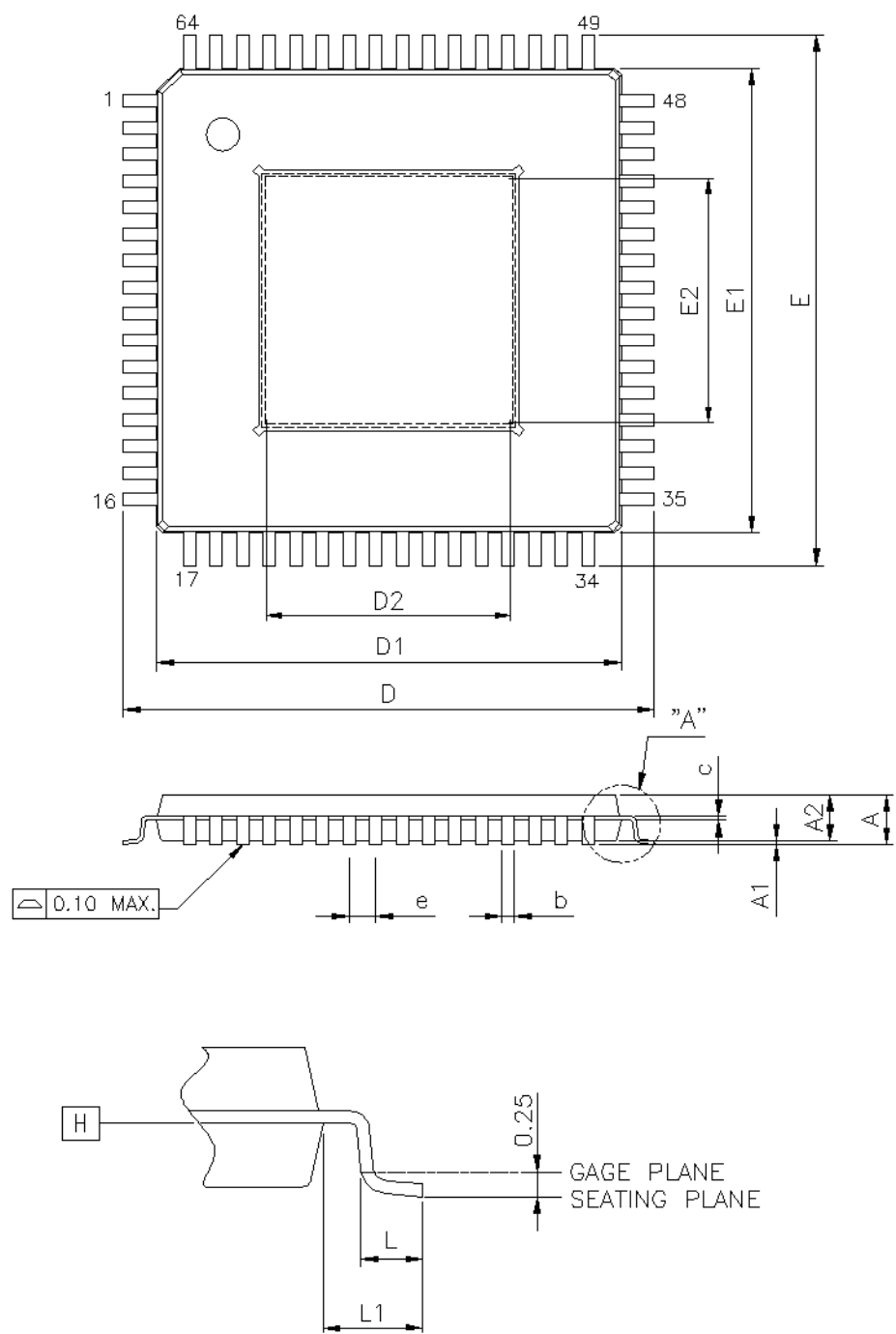


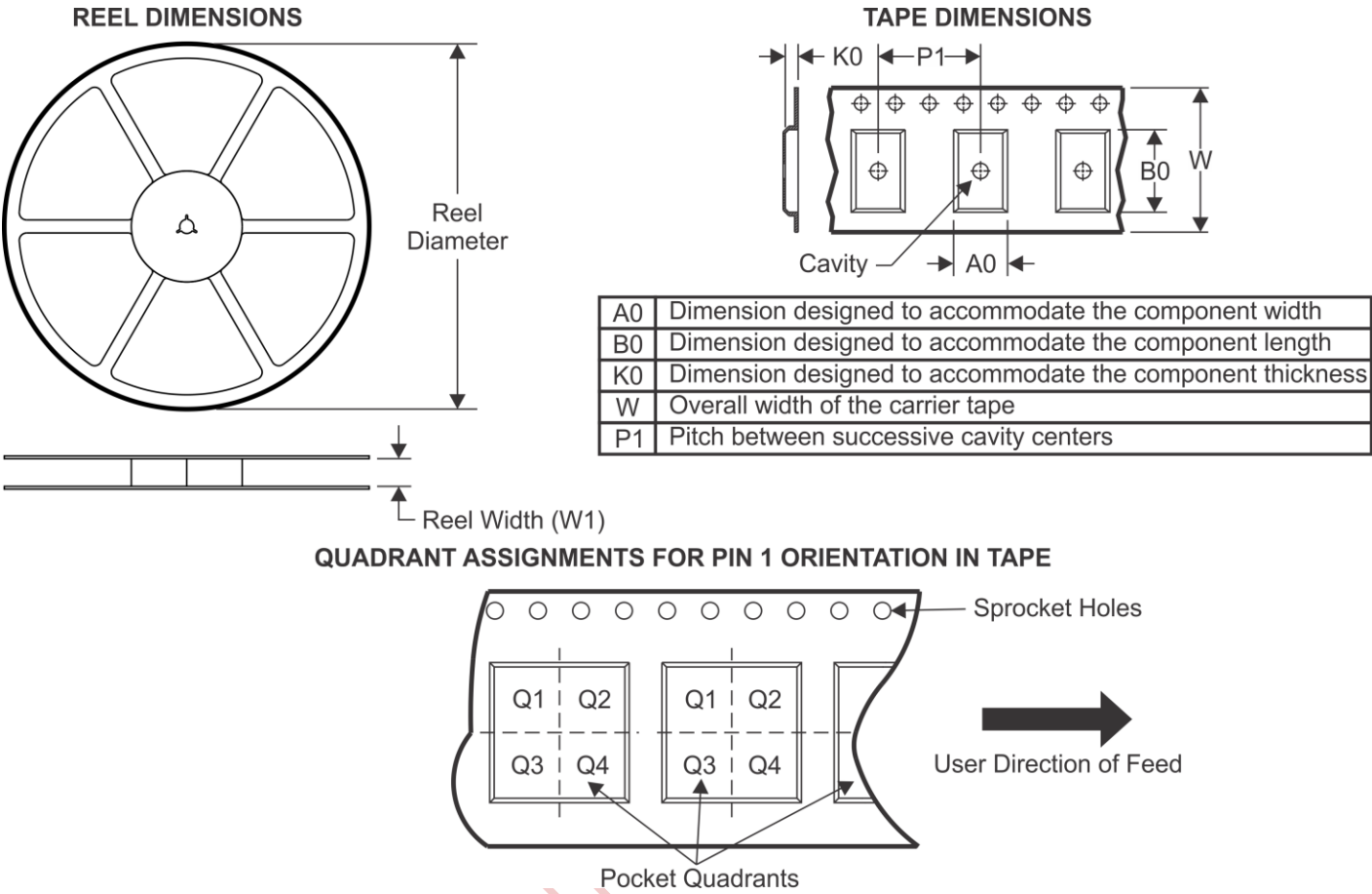
Table 15-1 LQFP 64 引脚向上封装尺寸数据

参考	尺寸		
	毫米		
	最小值	典型值	最大值
A	1.40		1.60
A1	0.05		0.15
A2	1.35	1.40	1.45
D	16.00 BSC.		
D1	14.00 BSC.		
D2		8.00	
E	16.00 BSC.		
E1	14.00 BSC.		
E2		8.00	
L	0.45	0.60	0.75
N	64		
e	0.80 BSC		
b	0.30	0.37	0.45
c	0.09		0.20

1. 基准平面 **h** 位于模具分隔线处，并且与引脚重合，引脚在分隔线底部从塑料本体中伸出。
2. 尺寸 **d1** 和 **e1** 不包括模具凸出部分，允许的模具凸出为每侧 **0.254** 毫米。
3. 尺寸 **b** 不包括阻塞条凸出部分。允许的阻塞条凸出总量为在最大实体状态下超出 **b** 尺寸的 **0.08** 毫米。阻塞条不能位于下部圆角或脚部。
4. 暴露的焊盘与封装的顶部或底部表面重合，不允许超出该表面。
5. **A1** 定义为从定位平面到封装本体最低点的距离。
6. 暴露的散热焊盘设计为连接到外部散热器。

器件	封装类型	引脚	包装数量	环保	湿敏等级	工作温度
CLD6255	LQFP	64	1000	ROHS & GREEN	Level 3 260°C 168H	-40°C to 85°C

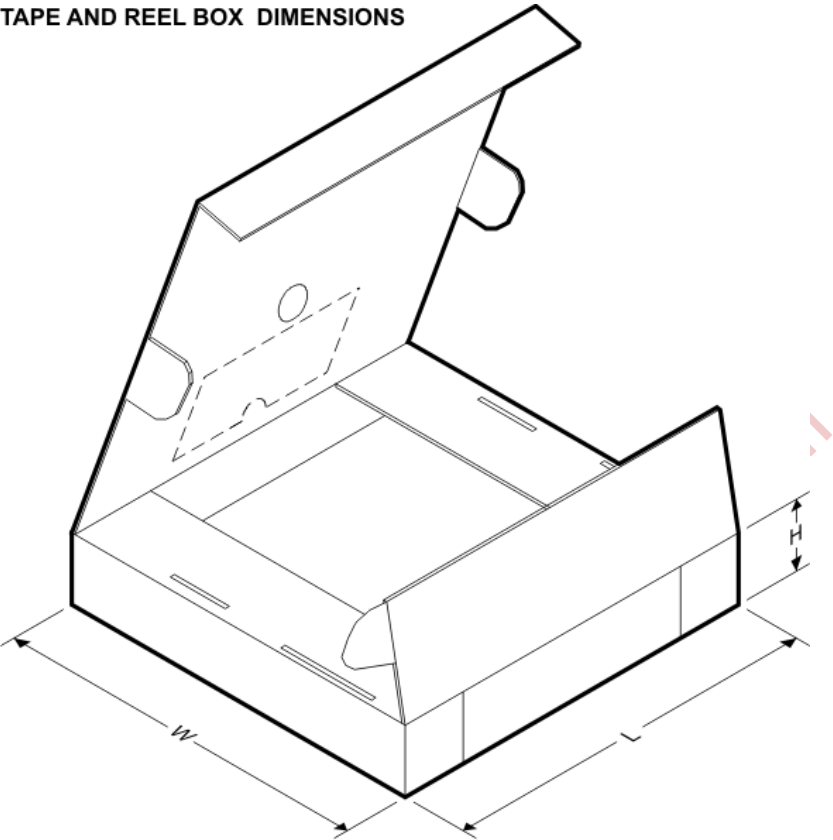
图 15-2 卷带包装信息



器件	封装类型	引脚	标准包装数量	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CLD6255	LQFP	64	1000	330.0	32.4	16.4	16.4	2.35	20.0	32.0	Q1

图 15-3 卷带盒装尺寸

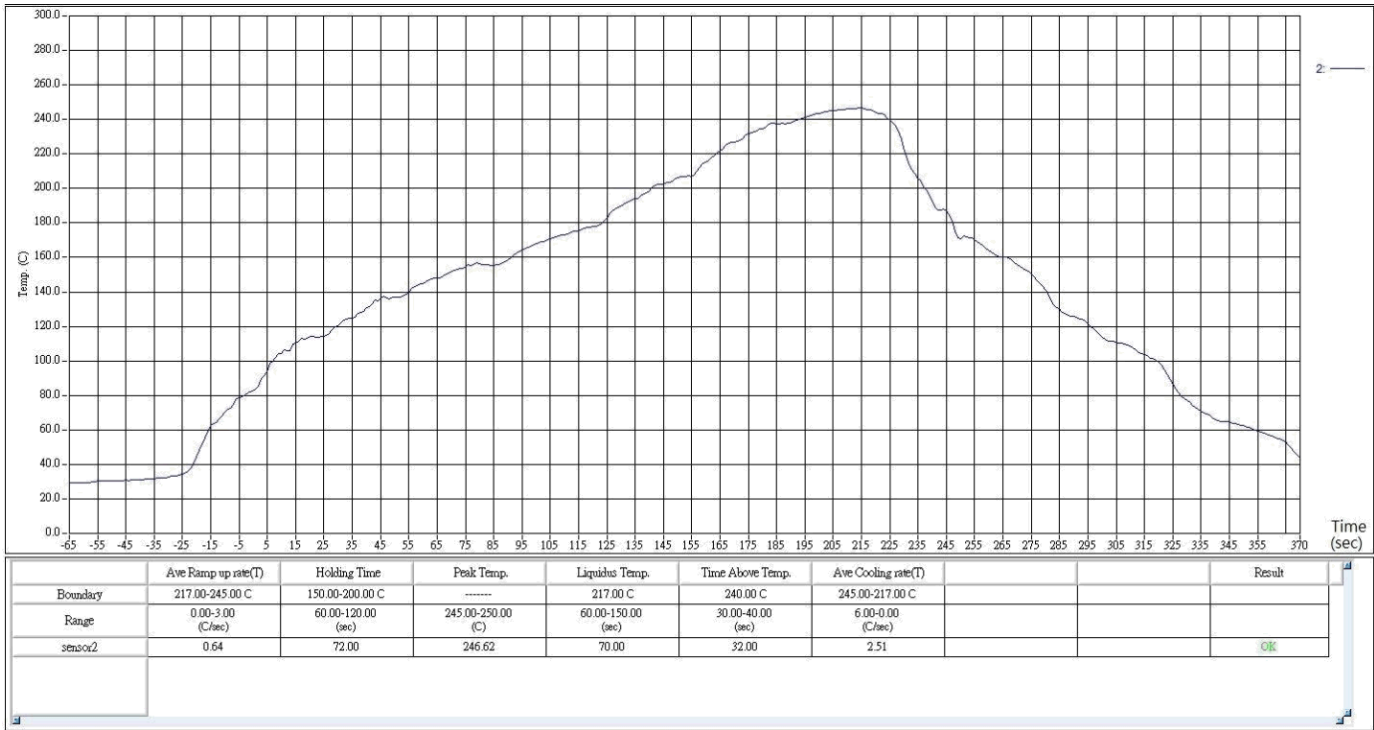
TAPE AND REEL BOX DIMENSIONS



产品名称	封装类型	引脚	标准包装数量	长 (mm)	宽 (mm)	高 (mm)
CLD6255	LQFP	64	1000	356.0	338.0	51.1

CONFIDENTIAL

16. 焊接信息



CONFIDENTIAL@

17. 修订历史

Table 17-1 文件修订历史

日期	版本	记录
2025/1/16	V0.5	Pre Release
2025/6/12	V0.62	Update Simplified Diagram
25/6/20	V0.63	Update thermal information, electrical characteristics and curves
25/7/8	V0.64	Update application schematic
25/7/28	V0.65	Update application schematic
25/7/30	V0.66	Update EC table
25/8/12	V0.67	Update figure 10-11,10-12, 10-13, chapter 14.3
25/8/14	V0.68	Update efficiency and power loss plots of 14.4V, 24V in BTL

CONFIDENTIAL@XLINKSEMI

IMPORTANT NOTICE AND SDICLAIMER

XLINKSEMI and its subsidiaries reserve the rights of making changes, corrections, enhancements, modifications, and improvements to XLINKSEMI's products and related documents at any time without notice.

These resources are intended for skilled developers with XLINKSEMI products. You have the following responsibilities:

- 1) Selecting the appropriate XLINKSEMI products for your applications;
- 2) Undertaking the design, validation, and testing of your applications;
- 3) Ensuring that your applications comply with applicable standards and any other safety, security, regulatory, or other requirements;
- 4) Verifying these resources are current and complete before placing orders.

XLINKSEMI grants you permission to use these resources, but only for the development of applications that utilize XLINKSEMI products described in the resources. Any reproduction or public display of these resources is strictly prohibited. No license is granted for any other XLINKSEMI intellectual property or third-party intellectual property. XLINKSEMI disclaims any responsibility for your utilization of these resources, and you agree to fully indemnify XLINKSEMI and its representatives against any claims, damages, costs, losses, and liabilities arising from your use of these resources.

XLINKSEMI's products are provided subject to XLINKSEMI's Terms of Sale or other applicable terms provided in conjunction with such XLINKSEMI products. XLINKSEMI's provision of these resources does not extend or otherwise alter XLINKSEMI's applicable warranties or warranty disclaimers for XLINKSEMI products.

The information in this document updates and replaces previous information of any prior versions of this document.

XLINKSEMI objects to and rejects any additional or different terms you may have proposed.

Copyright @ 2023 XLINKSEMI

CONFIDENTIAL@XLINKSEMI